

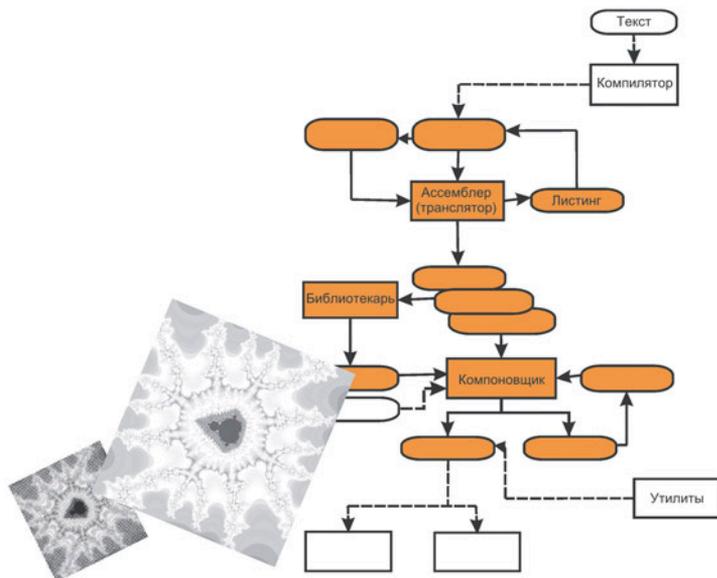
Цифровые процессоры обработки сигналов фирмы Motorola

Учебное
пособие

**Архитектура базового
семейства DSP56000**

Порты ввода/вывода и host-интерфейс

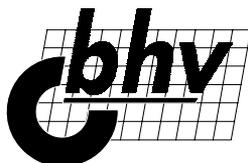
Язык ассемблера



Алла Солонина
Дмитрий Улахович
Лев Яковлев

Цифровые процессоры обработки сигналов фирмы Motorola

*Рекомендовано фирмой Motorola
в качестве учебного пособия*



Санкт-Петербург

Дюссельдорф ♦ Киев ♦ Москва ♦ Санкт-Петербург

Учебное и справочное пособие по архитектуре базового семейства DSP56000, в которой реализована концепция всех семейств DSP56K. В первой части рассматриваются: основы архитектуры сигнальных процессоров фирмы Motorola; представление данных, организация памяти, режимы адресации и параллельные пересылки; система команд и состояния процессоров; генератор тактовых импульсов (ГТИ); порты ввода/вывода и host-интерфейс; внутрикристальный эмулятор OnCE как элемент программно-аппаратной среды отладки системы ЦОС. Вторая часть посвящена языку ассемблера этих процессоров. В ней изучаются: подготовка исполняемых программ, основные конструкции языка, структура программы, директивы ассемблера; макрокоманды, макроопределения и макробibliotheki; компоновщик, командный файл управления памятью; библиотека объектных модулей, трансляция и компоновка оверлейных программ, оптимизация программы. Приведено большое количество иллюстраций и примеров. Подготовлено с согласия и при поддержке фирмы Motorola.

Для студентов, преподавателей, инженеров и научных работников, связанных с разработкой и применением систем цифровой обработки сигналов (ЦОС) на базе цифровых процессоров обработки сигналов (ЦПОС)

Группа подготовки издания:

Главный редактор	<i>Екатерина Кондукова</i>
Зав. редакцией	<i>Наталья Таркова</i>
Редактор	<i>Владимир Овчинников</i>
Компьютерная верстка	<i>Ольги Сергиенко</i>
Корректор	<i>Зинаида Дмитриева</i>
Дизайн обложки	<i>Ангелины Лужиной</i>
Зав. производством	<i>Николай Тверских</i>

Рецензент д-р техн. наук, проф. В. М. Терентьев, кафедра теории электрических цепей и сигналов СПбВУС

Солонина А. И., Улахович Д. А., Яковлев Л. А.

Цифровые процессоры обработки сигналов фирмы Motorola. — СПб.: БХВ-Петербург, 2000. — 512 с.: ил.

ISBN 5-94157-011-2

© А. И. Солонина, Д. А. Улахович, Л. А. Яковлев, 2000

© Оформление, издательство "БХВ-Петербург", 2000

Лицензия ИД № 02429 от 24.07.00. Подписано в печать 17.08.00.

Формат 70×100^{1/16}. Печать офсетная. Усл. печ. л. 41,28.

Тираж 3000 экз. Заказ

"БХВ-Петербург", 198005, Санкт-Петербург, Измайловский пр., 29.

Гигиеническое заключение на продукцию, товар, № 77.99.1.953.П.950.3.99 от 01.03.1999 г. выдано Департаментом ГСЭН Минздрава России.

Отпечатано с готовых диапозитивов
в Академической типографии "Наука" РАН.
199034, Санкт-Петербург, 9-я линия, 12.

СОДЕРЖАНИЕ

Введение	11
ЧАСТЬ I. ЦПОС ФИРМЫ MOTOROLA: КЛАССИФИКАЦИЯ, АРХИТЕКТУРА БАЗОВОГО СЕМЕЙСТВА	15
1. Цифровые процессоры обработки сигналов.....	17
1.1. Назначение ЦПОС.....	17
1.2. Система ЦОС.....	18
1.3. Области применения и основные функции, реализуемые на базе ЦПОС.....	24
1.4. Особенности ЦПОС.....	25
1.5. Семейства ЦПОС фирмы Motorola.....	26
1.6. Базовое семейство DSP56000.....	43
1.7. Семейство DSP56300.....	45
1.8. Семейство DSP56800.....	51
1.9. Семейство DSP56600.....	53
1.10. Процессор MSC8101.....	57
2. Архитектура процессоров базового семейства DSP56000	58
2.1. Основные компоненты архитектуры.....	58
2.1.1. Шины данных	60
2.1.2. Шины адресов	60
2.1.3. ALU данных.....	61
2.1.4. Устройство генерации адреса AGU.....	61
2.1.5. Устройство программного управления PCU.....	62
2.1.6. Генератор тактовых импульсов (ГТИ) с фазовой автоподстройкой частоты (PLL).....	63
2.1.7. Порты	63
2.1.8. Внутрикристалльный эмулятор OnCE	64
3. Ядро центрального модуля обработки.....	65
3.1. Арифметико-логическое устройство данных (ALU данных).....	66
3.1.1. Архитектура ALU данных.....	66
3.1.2. Входные регистры X1, X0, Y1, Y0.....	68
3.1.3. Устройство MAC.....	68
3.1.4. Аккумуляторы А и В.....	70
3.1.5. Сдвигатели/ограничители	74
3.2. Устройство генерации адреса AGU.....	78
3.2.1. Взаимодействие регистров в триплете	80

3.2.2. Типы арифметики	86
3.2.2.1. Линейная арифметика.....	87
3.2.2.2. Модульная арифметика.....	87
3.2.2.3. Арифметика с обратным переносом (бит-реверсивная, M _n = \$0000)	91
3.3. Устройство программного управления PCU	95
3.3.1. Конвейер обработки команд.....	95
3.3.2. Контроллер декодирования команд PDC.....	97
3.3.3. Генератор адреса команд PAG.....	97
3.3.3.1. Программный счетчик PC.....	98
3.3.3.2. Регистр состояния SR	98
4. Представление данных и операции над ними	110
4.1. Дополнительный код	110
4.1.1. Переполнение в дополнительном коде.....	113
4.1.2. Умножение в дополнительном коде	114
4.2. Форматы данных	116
4.3. Операции над данными.....	119
4.3.1. Пересылка данных	119
4.3.2. Арифметические операции с данными.....	120
4.3.2.1. Сложение.....	120
4.3.2.2. Умножение	121
4.3.3. Округление.....	124
4.3.4. Нормализация.....	125
5. Организация памяти	128
5.1. Карта памяти DSP56000	129
5.2. Карта памяти DSP56001	131
6. Режимы адресации	133
6.1. Структура и синтаксис команды	133
6.2. Режим прямой адресации.....	134
6.3. Режим косвенной адресации	135
6.4. Режим специальной адресации	135
6.4.1. Непосредственная адресация.....	135
6.4.1.1. Непосредственная адресация 24-разрядной константы	136
6.4.1.2. Непосредственная адресация коротких 12- и 8-разрядных констант	137
6.4.2. Абсолютная адресация.....	138
6.4.2.1. Абсолютная 16-разрядная адресация.....	138
6.4.2.2. Абсолютная короткая 6-разрядная адресация	139
6.4.2.3. Абсолютная I/O короткая 6-разрядная адресация	140
6.4.2.4. Абсолютная адресация в командах перехода.....	141
6.4.3. Неявная адресация.....	142
6.5. Описание компонентов содержательной части команды в режимах прямой, косвенной и специальной адресации.....	142
7. Типы параллельных пересылок	145
7.1. Пересылка коротких констант.....	147

7.2. Пересылка из регистра в регистр	148
7.3. Изменение содержимого регистра адреса	151
7.4. Пересылка в X-памяти	152
7.5. Пересылка в Y-памяти.....	153
7.6. Пересылки в X-памяти и из регистра в регистр.....	153
7.7. Пересылки из регистра в регистр и в Y-памяти	155
7.8. Пересылка в L-памяти.....	156
7.9. Пересылки в XY-памяти	157
8. Система команд.....	159
8.1. Команды пересылки	159
8.1.1. Команда <i>MOVE</i>	160
8.1.2. Команда <i>MOVEC</i>	160
8.1.3. Команда <i>MOVEM</i>	162
8.1.4. Команда <i>MOVEP</i>	163
8.1.5. Команда <i>LUA</i>	165
8.2. Арифметические команды.....	166
8.2.1. Команды сложения и вычитания	167
8.2.1.1. Реализация алгоритмов сложения и вычитания чисел с двойной точностью при помощи команд <i>ADC, SBC</i>	169
8.2.2. Команды умножения	171
8.2.2.1. Реализация алгоритма умножения с двойной точностью	174
8.2.3. Команда деления <i>DIV</i>	177
8.2.4. Команды арифметического сдвига.....	181
8.2.5. Команды сравнения.....	183
8.2.6. Команда <i>TER</i> пересылки внутри ALU данных	185
8.2.7. Команда <i>Tcc</i> пересылки по условию	185
8.2.8. Команды декремента <i>DEC</i> и инкремента <i>INC</i>	187
8.2.9. Команды <i>ABS, CLR, NEG, NORM, RND</i>	187
8.3. Команды логических операций и сдвигов	190
8.3.1. Команды логических операций	191
8.3.2. Команды логического и циклического сдвигов	193
8.3.3. Команды логического умножения и сложения для управляющих регистров	195
8.4. Команды бит-манипуляций	196
8.5. Команды цикла	198
8.6. Команды управления программой	202
8.6.1. Команда <i>REP</i> повторения следующей команды.....	203
8.6.2. Команды отладки.....	206
8.6.3. Команды перехода	206
8.6.3.1. Команды передачи управления.....	207
8.6.3.2. Команды обращения к подпрограмме	208
8.6.3.3. Команды возврата.....	209
8.6.3.4. Команды передачи управления по состоянию бита	210
8.6.3.5. Команды обращения к подпрограмме по состоянию бита.....	211
8.6.4. Команды общего управления	213
8.7. Время выполнения команды.....	214
8.8. Алфавитный список команд процессора DSP56K.....	214

11.5. Порт С последовательного обмена данными.....	263
11.5.1. Общая характеристика порта С.....	263
11.5.2. Интерфейс последовательной передачи (SCI).....	263
11.5.2.1. Принцип работы интерфейса SCI.....	264
11.5.2.2. Синхронный и асинхронный режимы интерфейса SCI.....	267
11.5.2.3. Многоадресная (многопроцессорная) система.....	269
11.5.2.4. Регистры интерфейса SCI.....	270
11.5.3. Последовательный синхронный интерфейс (SSI).....	276
11.5.3.1. Принцип работы интерфейса SSI.....	278
11.5.3.2. Принцип синхронизации интерфейса SSI.....	280
11.5.3.3. Принцип работы генератора тактовых частот интерфейса SSI.....	282
11.5.3.4. Регистры интерфейса SSI.....	284

12. Внутрикристалльный эмулятор OnCE 290

12.1. Выводы эмулятора.....	291
12.2. Контроллер и последовательный интерфейс OnCE.....	293
12.2.1. Регистр команд OnCE (OCR).....	293
12.2.2. Счетчик битов OBC.....	295
12.2.3. Декодер эмулятора ODEC.....	295
12.2.4. Регистр состояния и управления (OSCR).....	295
12.3. Логика точек останова в памяти программ.....	297
12.3.1. Назначение элементов логики точек останова.....	298
12.3.2. Работа логики точек останова.....	299
12.4. Логика трассировки OnCE.....	300
12.5. Способы входа в режим отладки.....	301
12.6. Информация о конвейере и связанные регистры.....	302
12.7. Последовательный протокол связи.....	305

ЧАСТЬ II. ЯЗЫК АССЕМБЛЕРА ЦПОС ФИРМЫ MOTOROLA 307

13. Общие сведения о языке 309

13.1. Подготовка исполняемых программ. Этапы подготовки. Состав программного обеспечения.....	309
13.2. Абсолютные и перемещаемые программные модули.....	314
13.3. Модульный принцип построения прикладной программы. Формат COFF.....	314

14. Структура и основные конструкции языка 317

14.1. Структура программы на языке ассемблера.....	317
14.2. Основные конструкции языка.....	320
14.2.1. Константы.....	320
14.2.2. Цепочки знаков — строки.....	323
14.2.3. Символы (символические имена).....	323
14.2.4. Выражения.....	324
14.2.4.1. Определения.....	324
14.2.4.2. Операторы, используемые в выражениях ассемблера.....	326
14.2.4.3. Ранги операторов.....	328
14.2.4.4. Функции.....	329

14.2.5. Операторы короткой и длинной адресации.....	332
14.2.6. Специальные символы языка ассемблера.....	334
15. Вызов ассемблера.....	335
15.1. Вызов и запуск ассемблера.....	335
15.2. Формат файла листинга.....	341
16. Построение программы. Организация секций.	
Директивы построения секций.....	345
16.1. Общие сведения.....	345
16.2. Счетчик расположения секции.....	347
16.3. Абсолютный и относительный режимы трансляции.....	347
16.4. Общие правила компоновки секций.....	348
16.5. Секции и имена.....	348
16.6. Секции и макросы.....	353
16.7. Директивы организации секций.....	353
16.8. Директива <i>ORG</i>	358
16.9. Примеры организации и компоновки секций.....	362
17. Директивы ассемблера.....	373
17.1. Директивы управления процессом трансляции.....	373
17.2. Директивы определения символов.....	381
17.3. Директивы организации буферов.....	384
17.4. Директивы заполнения и резервирования ячеек памяти.....	390
17.5. Директивы управления листингом трансляции.....	394
17.6. Директива задания опций ассемблера <i>OPT</i>	395
18. Программирование стандартных структур.....	402
18.1. Общие сведения.....	402
18.2. Организация циклических структур.....	403
18.2.1. Арифметический цикл <i>.FOR</i>	403
18.2.2. Арифметический цикл <i>.LOOP</i>	405
18.2.3. Условный цикл "до тех пор пока", организуемый директивой <i>.REPEAT</i>	406
18.2.4. Условный цикл "если", организуемый директивой <i>.WHILE</i>	407
18.3. Директивы для организации процесса с ветвлением.....	408
18.4. Условные выражения, используемые при организации структур.....	409
18.4.1. Простые условные выражения.....	410
18.4.2. Условные составные выражения.....	413
19. Средства макроассемблера.....	414
19.1. Общие сведения.....	414
19.2. Макрокоманды.....	414
19.2.1. Макроопределение и макровывоз.....	415
19.2.2. Фиктивные операторы параметра.....	418
19.2.3. Условная трансляция, локальные метки.....	419
19.2.4. Передача меток в качестве параметров.....	420

19.3. Макробблиотеки	422
19.4. Директивы макроассемблера.....	423
19.5. Директива <i>RDIRECT</i>	428
20. Компоновка	430
20.1. Задачи, решаемые компоновщиком.....	430
20.2. Вызов и запуск компоновщика	431
20.3. Командный файл управления памятью	437
20.3.1. Директивы файла управления памятью. Общие сведения	437
20.3.2. Директивы оформления файлов и программ.....	438
20.3.3. Директивы, определяющие конфигурацию памяти и размещение секций.....	441
20.3.4. Директивы, связанные с организацией буфера	449
20.3.5. Директивы определения и задания длины секции	454
20.3.6. Директивы, задающие значения неопределенных символов	456
20.4. Формат файла таблицы компоновки	458
21. Создание и использование библиотеки объектных модулей.....	461
22. Трансляция и компоновка оверлейных программ	465
22.1. Общие сведения	465
22.2. Пример организации оверлейной программы при абсолютном режиме трансляции	466
22.3. Пример организации оверлейной программы при относительном режиме трансляции.....	471
23. Оптимизация программы	477
ПРИЛОЖЕНИЯ	485
1. Отладочный модуль и оболочка EVM56K	487
Назначение и состав отладочного модуля EVM56K.....	487
Вводные замечания по программе-оболочке EVM-56K.....	488
Особенности программы-оболочки отладочного модуля	488
Запуск программы.....	488
Краткая справка по командам управления оболочкой	489
Назначение функциональных клавиш	489
Команды, вводимые при помощи дополнительных клавиш	489
Команды управления оболочкой.....	490
Основные окна графического интерфейса оболочки	496
2. Список сокращений	497
Английские сокращения	497
Русские сокращения.....	500
3. Список литературы	501
Предметный указатель	503

ВВЕДЕНИЕ

Появление в начале 80-х годов нового класса устройств — цифровых процессоров обработки сигналов (ЦПОС) или, коротко, сигнальных процессоров, позволило реализовать алгоритмы цифровой обработки сигналов (ЦОС) в реальном времени. Это, в свою очередь, обеспечило качественный скачок в развитии направлений, определяющих научно-технический прогресс телекоммуникаций, систем автоматического управления и контроля, аудио- и видеотехники, гидро- и радиолокации, компьютерных технологий, медицинской техники и многих других, включая приборы бытового назначения. Аналитики сделали прогноз на XXI век о повсеместном применении ЦОС и элементной базе ее реализации — ЦПОС.

Современный рынок насыщен разнообразными сигнальными процессорами различных фирм-производителей: Texas Instruments, Motorola, Analog Devices и др. Трудность состоит в том, чтобы сориентироваться в лавине ЦПОС и выбрать из них подходящий для конкретного применения в ситуации, когда время разработки и выпуска новых ЦПОС становится существенно более коротким, чем традиционные темпы освоения новой техники. Объемные фирменные описания, как правило, рассчитаны на профессионалов и требуют специальной подготовки в области ЦПОС и больших затрат времени на их изучение. К сожалению, нельзя не учитывать и языковой барьер.

В современных методиках обучения можно выделить две основные тенденции. Первую условно можно охарактеризовать как "коротко о разном", а вторую — "подробно об одном". Последователи первого направления дают обзор аппаратного и программного обеспечения семейств процессоров какой-либо фирмы, например для ЦПОС фирмы Motorola [14, 21]. Сторонникам второго направления представляется полезным сначала обстоятельно познакомиться с базовым семейством сигнальных процессоров фирмы, что

¹ В англоязычной литературе аббревиатуры словосочетаний "цифровой процессор обработки сигналов" (DSP — Digital Signal Processor) и "цифровая обработка сигналов" (DSP — Digital Signal Processing) совпадают и раскрываются по контексту.

позволит в дальнейшем значительно легче воспринимать особенности архитектуры других модификаций ЦПОС по фирменным руководствам. Разумеется, оба направления дополняют друг друга, и в ряде работ [19, 22] сделана попытка их объединить.

Авторы придерживаются традиционного для вузов второго направления, эффективность которого зависит от наличия доступных отечественных учебных пособий. С этих позиций написана данная книга. В ней приводится обзор всех семейств ЦПОС и области их применения по последним данным фирмы Motorola, достаточно подробно рассматривается архитектура базового семейства DSP56000 и описывается язык ассемблера. Целесообразность первоначального изучения базового семейства DSP56000 обусловлена тем, что в нем реализована концепция архитектуры практически всех семейств ЦПОС фирмы Motorola, а именно: в семействах DSP56600, DSP56800, DSP56100 используется сокращенная, а в DSP56300 и DSP96000 — расширенная версии базовой архитектуры.

Первыми серьезными публикациями по сигнальным процессорам фирмы Motorola стали книги М. С. Куприянова и Б. Д. Матюшкина *"Цифровая обработка сигналов"*, 1998, и *"Техническое обеспечение цифровой обработки сигналов"*, 2000. Однако в рамках поставленной задачи обучения, по мнению авторов, требуется дополнительный, а в определенном смысле стартовый учебник, в котором бы более подробно и доступно рассматривались обозначенные выше темы.

Авторы постарались, по возможности, методически упростить и облегчить изучение материала за счет:

- соответствующей последовательности изложения;
- включения необходимых вспомогательных разделов, благодаря чему не потребуется обращение к дополнительной литературе;
- подробного объяснения наиболее сложных и тонких вопросов, затрагиваемых в других книгах "пунктиром", либо опускаемых;
- включения большого количества примеров;
- графических иллюстраций.

В 2000 году разработаны и внедряются новые стандарты подготовки специалистов по направлениям телекоммуникаций, в соответствии с которыми в качестве обязательных вводятся дисциплины: *"Микропроцессоры и цифровая обработка сигналов"*, *"Цифровая обработка сигналов и сигнальные процессоры"* и ряд подобных. Данная книга может служить учебным и справочным пособием при их изучении.

При написании книги использован опыт чтения лекций и проведения лабораторно-практических занятий по дисциплинам ЦОС и ЦПОС.

Книга подготовлена с согласия и при поддержке фирмы Motorola.

Книга состоит из двух частей.

Часть I. *"ЦПОС фирмы Motorola: классификация, архитектура базового семейства"*

- ❑ В главе 1 рассматриваются основы архитектуры ЦПОС; приводится обобщенная структура системы ЦОС и характеристики базового семейства 24-разрядных процессоров с фиксированной запятой DSP56000; содержится классификация и краткое описание всех семейств ЦПОС фирмы Motorola (номенклатура, функциональные особенности, технические характеристики, область применения).
- ❑ В главе 2 дается краткий обзор архитектуры базового семейства DSP56000.
- ❑ Глава 3 посвящена подробному знакомству с устройствами, образующими ядро базового семейства процессоров DSP56000.
- ❑ В главе 4 рассматриваются представления данных, дополнительный код, арифметические и другие операции над данными.
- ❑ В главе 5 представлена организация памяти на примере карт памяти процессоров DSP56000/1.
- ❑ В главе 6 подробно описываются режимы адресации.
- ❑ Глава 7 включает все варианты возможных параллельных пересылок, разрешенных в командах, и правила их организации.
- ❑ В главе 8 изучается система команд по группам операций.
- ❑ В главе 9 рассматриваются возможные состояния процессоров семейства DSP56K.
- ❑ Глава 10 содержит основные сведения о генераторе тактовых импульсов (ГТИ) с фазовой автоподстройкой частоты (ФАПЧ), управлении им; описывается состояние останова.
- ❑ В главе 11 дано описание портов А, В и С, изложены принципы работы host-интерфейса, последовательного синхронного интерфейса (SSI) и интерфейса последовательной передачи (SCI).
- ❑ В главе 12 рассмотрен внутрикристальный эмулятор (OnCE) как элемент программно-аппаратной среды отладки системы ЦОС.

Первая часть написана А. И. Солониной и Д. А. Улаховичем.

Часть II. *"Язык ассемблера ЦПОС фирмы Motorola"*

- ❑ Глава 13 содержит сведения об этапах подготовки исполняемых программ, модульном принципе построения программ, абсолютных и перемещаемых программных модулях, формате COFF.
- ❑ В главе 14 рассмотрены основные конструкции языка, структура программы на языке ассемблера.
- ❑ В главе 15 описаны вызов и запуск ассемблера, формат файла листинга.

- Глава 16 посвящена вопросам построения программы и организации секций.
- В главе 17 изучаются директивы управления процессом трансляции, определения символов, организации буферов, заполнения и резервирования ячеек памяти, управления листингом трансляции.
- В главе 18 рассматривается программирование стандартных структур: циклы `.FOR` и `.LOOP`, цикл "пока" (директива `.REPEAT`), цикл "если" (директива `.WHILE`); организация ветвления и условные выражения.
- В главе 19 описаны макрокоманды, макроопределения, макробibliotheki и директивы макроассемблера.
- В главе 20 рассказано о вызове и запуске компоновщика, командном файле управления памятью, формате файла таблицы компоновки.
- Главы 21—23 содержат сведения о создании и использовании библиотеки объектных модулей, трансляции и компоновке оверлейных программ и об оптимизации программы.

В отличие от фирменных руководств, описание всех конструкций, директив и этапов подготовки программ сопровождается большим количеством примеров. Для проверки приводимых примеров использовался ассемблер и компоновщик версии 6.2.0, а также программный имитатор (simulator) версии 6.2.1.

Вторая часть написана Л. А. Яковлевым.

Одним из весьма существенных факторов при выборе ЦПОС является наличие удобных и надежных аппаратных и программных средств разработки и отладки. Краткое описание отладочного модуля для ЦПОС DSP56002 содержится в приложении 1.

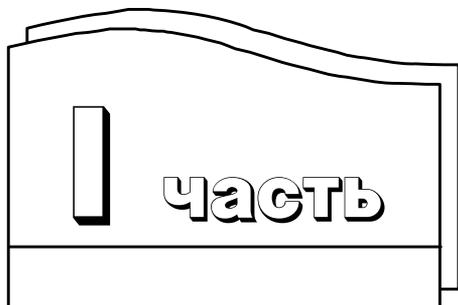
Авторы не ставили себе задачу приводить тексты программ для реализации конкретных алгоритмов ЦОС, которые можно найти в [19, 21] и других перечисленных в библиографии источниках.

Авторы выражают благодарность заведующему кафедрой ЦОС, руководителю Центра ЦОС и учебной лаборатории ЦПОС фирмы Motorola профессору Артуру Абрамовичу Ланнэ за помощь и содействие в подготовке и издании книги.

Мы благодарны также фирме Motorola и руководителю ее университетской программы в России профессору Дмитрию Ивановичу Панфилову за внимание и поддержку при подготовке книги.

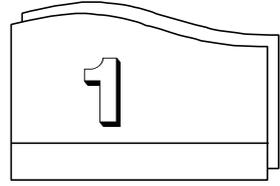
Особую признательность авторы выражают инженерам Л. В. Шашковой и Е. В. Ивановой за подготовку и компьютерный набор рукописи.

Все предложения и замечания по книге просим присылать по адресу: 191186, Санкт-Петербург, наб. р. Мойки, 61, Санкт-Петербургский государственный университет телекоммуникаций, кафедра цифровой обработки сигналов или arturlan@robotek.ru.



ЦПОС ФИРМЫ MOTOROLA: КЛАССИФИКАЦИЯ, АРХИТЕКТУРА БАЗОВОГО СЕМЕЙСТВА

1. Цифровые процессоры обработки сигналов
2. Архитектура процессоров базового семейства DSP56000
3. Ядро центрального модуля обработки
4. Представление данных и операции над ними
5. Организация памяти
6. Режимы адресации
7. Типы параллельных пересылок
8. Система команд
9. Состояния процессора
10. Генератор тактовых импульсов с фазовой автоподстройкой частоты
11. Порты, выводы и сигналы управления
12. Внутрикристалльный эмулятор OnCE



1. ЦИФРОВЫЕ ПРОЦЕССОРЫ ОБРАБОТКИ СИГНАЛОВ

1.1. Назначение ЦПОС

Цифровые процессоры обработки сигналов (ЦПОС) появились намного позже микропроцессоров общего назначения. Их разработка была обусловлена спецификой алгоритмов ЦОС, которые обычно сводятся к вычислениям разнообразных сумм, где каждое слагаемое представляет собой произведение двух сомножителей. Отсюда следует, что в алгоритмах ЦОС наиболее распространенной является операция, представляющая собой комбинацию операций умножения с накоплением, называемая базовой операцией ЦОС.

Центральная проблема ЦОС — обеспечение работы системы в реальном времени, что означает необходимость выполнения всех операций алгоритма обработки сигнала за время, не превышающее периода дискретизации этого сигнала. Достичь требуемой эффективности вычислений, основной объем которых составляют операции умножения с накоплением, в микропроцессорах общего назначения очень сложно.

Новый тип процессоров — ЦПОС (или DSP), обеспечивающий достаточно простой и высокоэффективный способ реализации алгоритмов ЦОС в реальном времени, впервые был предложен на рынке в начале 80-х гг. В последующие годы фирмы-изготовители (Texas Instruments, Motorola, Analog Devices и др.) стремительно наращивали производство ЦПОС, ориентированных на различные приложения и, соответственно, отличающихся по быстродействию, объему памяти, набору команд, интерфейсу, вспомогательным аппаратным и программным средствам разработки и отладки (среде проектирования) и т. д. В настоящее время технологии ЦПОС развиваются с неслыханной скоростью. Различные фирмы предлагают ЦПОС от уникальных дорогостоящих специального применения до простых и дешевых, предназначенных для бытовых нужд. Возникла новая проблема — выбор ЦПОС для конкретного приложения.

В чем же суть отличия ЦПОС от микропроцессоров общего назначения? Для достижения необходимого быстродействия в ЦПОС аппаратно реализованы базовые операции ЦОС — умножение и умножение с накоплением, выполняемые за один командный цикл, и использована модифицированная гарвардская архитектура. Особенность последней заключается в разделении пространства памяти на две области: памяти программ и памяти данных с возможностью прямого обмена данными между ними. Это позволило организовать эффективную конвейерную обработку команд, при которой фазы "выборка/декодирование/выполнение" соседних команд осуществляются параллельно. Разрешенный обмен между областями памяти позволяет, в частности, считывать массивы коэффициентов из памяти программ в память данных.

Традиционным способом изучения микропроцессоров является первоначальное достаточно подробное знакомство с базовым процессором или семейством процессоров. Однако, прежде чем рассматривать базовое семейство ЦПОС фирмы Motorola, целесообразно напомнить общую последовательность действий в системе ЦОС, перечислить основные функции, реализуемые на базе ЦПОС, и дать краткие сведения о номенклатуре и характеристиках ЦПОС, выпускаемых фирмой Motorola.

1.2. Система ЦОС

Система ЦОС (рис. 1.1) включает следующие основные компоненты:

- антиэлайсинговый фильтр;
- АЦП;
- ЦПОС;
- ЦАП;
- сглаживающий фильтр.

Обработке подлежит входной аналоговый (непрерывный) сигнал $x(t)$, произвольный вид которого во временной и частотной (амплитудный спектр) областях представлен на соответствующих графиках. Заметим, что сигнал конечной длительности во временной области бесконечен в частотной области.

Перед обработкой в ЦПОС аналоговый сигнал $x(t)$ необходимо представить в цифровой форме. Получение цифрового сигнала (массива чисел), осуществляемое АЦП, реализуется в два этапа: *дискретизации* и *квантования*. Кратко остановимся на каждом из них. *Дискретизация* по существу означает выборку мгновенных (дискретных) значений сигнала (*отсчетов*) с равными интервалами времени T между ними. Значение T называют *периодом дискретизации*, а обратную величину $1/T$ — *частотой дискретизации* f_d . Правильный выбор частоты f_d устанавливает теорема Котельникова¹, в соответствии

¹ В зарубежной литературе даются ссылки на теоремы дискретизации Найквиста или отсчетов Шеннона, устанавливающих тот же факт.

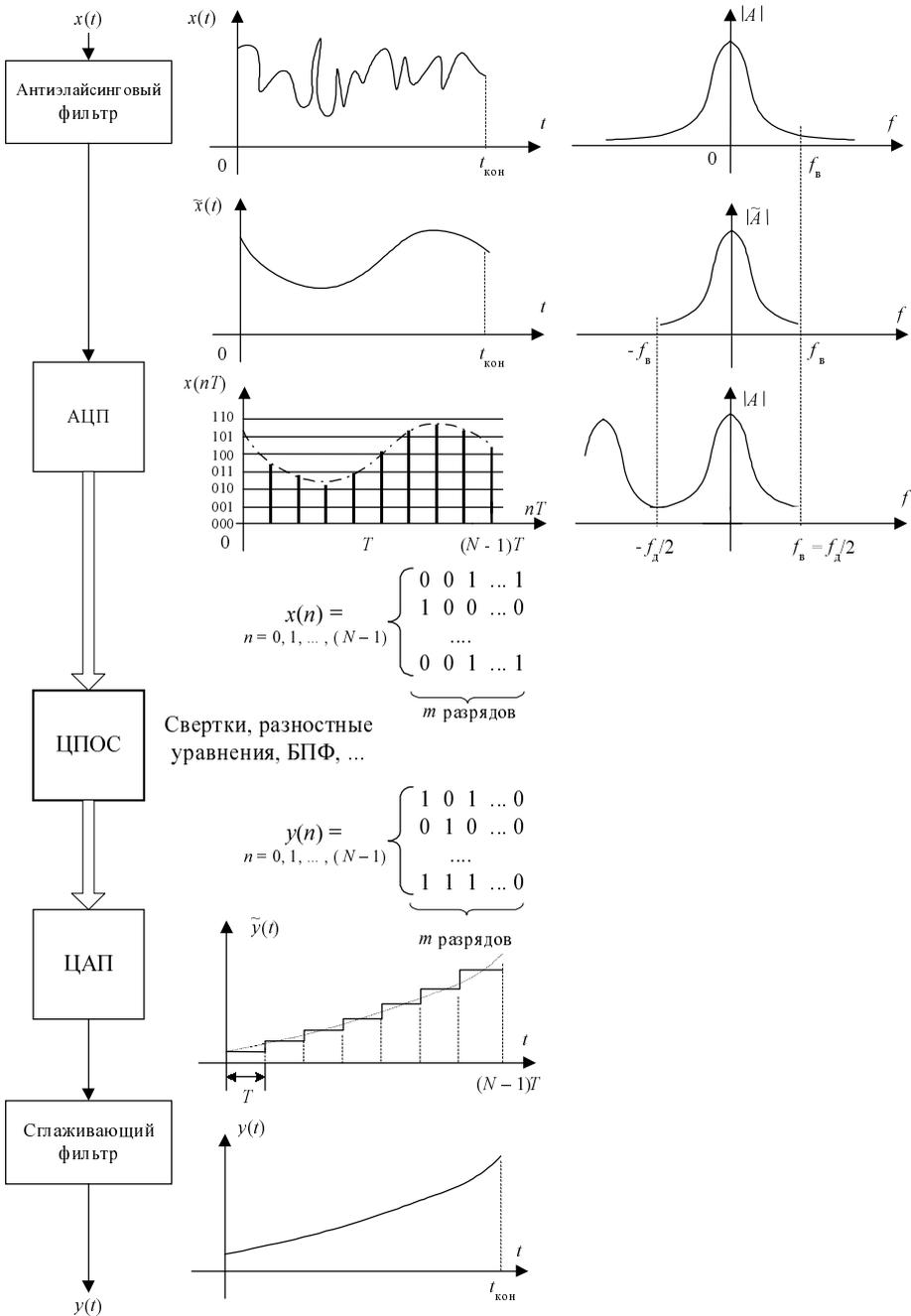


Рис. 1.1. Схема ЦОС

с которой для полного восстановления непрерывного сигнала по дискретным отсчетам необходимо, чтобы частота дискретизации f_d как минимум вдвое превышала верхнюю частоту спектра аналогового сигнала. Однако, как видно из графиков, у сигнала $x(t)$ конечной длительности спектр бесконечен, поэтому частота дискретизации $f_d \rightarrow \infty$. Из этого, казалось бы, неразрешимого противоречия есть выход. Амплитуды спектральных составляющих реальных сигналов, как правило, существенно уменьшаются, начиная с некоторой частоты f_B , поэтому без заметного ухудшения качества спектр можно ограничить до частоты f_B . Ограничение спектра производится с помощью фильтра нижних частот (ФНЧ), который часто называют *антиэлайсинговым* (элайсинг — наложение спектров). Эффект элайсинга показан на рис. 1.2. Известно, что спектр дискретного сигнала равен сумме (с точностью до постоянного множителя) спектров аналогового сигнала, сдвинутых по оси частот на $\pm m f_d$ ($m = 0, 1, 2, \dots$). Без фильтра ФНЧ, ограничивающего спектр аналогового сигнала, и при дискретизации с частотой $f_d < 2f_B$ возникает наложение спектров — элайсинг. Во временной области эффект элайсинга означает необратимую потерю возможности точного восстановления непрерывного сигнала по его дискретным отсчетам.

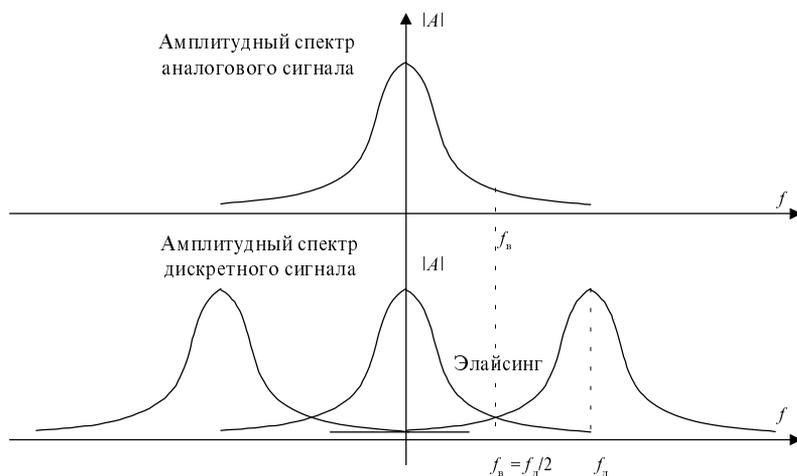


Рис. 1.2. Эффект элайсинга

Квантование дискретного сигнала по уровням означает, что вместо точного значения каждого дискретного отсчета ему присваивается значение ближайшего из двух *уровней* квантования, между которыми этот отсчет оказывается. Каждый уровень *кодируется* двоичным числом одинаковой разрядности m , зависящей от заданного максимального числа уровней. Таким образом, на выходе АЦП имеется цифровой сигнал $x(nT) \equiv x(n)$, $n = 0, 1, \dots, (N - 1)$, представляющий собой массив из N двоичных m -разрядных чисел, где m — разрядность (или разрешающая способность) АЦП.

Последовательность отсчетов $x(n)$, представленная в виде m -разрядных двоичных чисел, поступает в ЦПОС. Среди многообразия задач ЦОС выделим две типичные:

- цифровую фильтрацию,
- спектральный анализ,

решаемые самостоятельно или как часть некоторой более сложной задачи. Кратко остановимся на каждой из них.

Цифровая фильтрация. Наибольшее распространение получили линейные дискретные системы (ЛДС) с постоянными параметрами, описываемые во временной области разностными уравнениями вида

$$y(n) = \sum_{i=0}^{N-1} b_i x(n-i) - \sum_{j=1}^{M-1} a_j y(n-j), \quad (1.1)$$

где b_j , a_j — коэффициенты, определяющие свойства ЛДС;

$x(n)$, $y(n)$ — отсчеты входного и выходного сигналов;

i, j — величины задержек отсчетов входного и выходного сигналов;

N, M — константы, определяющие сложность ЛДС;

$x(n-i)$, $y(n-j)$ — отсчеты входного и выходного сигналов, задержанные на i и j периодов дискретизации соответственно.

Уравнение (1.1) описывает рекурсивную ЛДС, поскольку каждый n -й отсчет выходного сигнала $y(n)$ вычисляется как линейная комбинация текущего n -го отсчета входного сигнала $x(n)$, $(N-1)$ задержанных (предыдущих) отсчетов входного сигнала $x(n-i)$, $i = 1, 2, \dots, (N-1)$, и $(M-1)$ задержанных отсчетов выходного сигнала $y(n-j)$, $j = 1, 2, \dots, (M-1)$. Класс уравнений (1.1) может использоваться для реализации БИХ-фильтров (с бесконечной импульсной характеристикой). В этом случае по заданным к проектируемому фильтру требованиям (граничные частоты, отклонения в полосах частот и т. д.) рассчитывают N, M, b_i и a_j соответствующего фильтра. Расчеты выполняются на компьютере с помощью стандартных пакетов программ. Дополнительно выдаются все интересующие пользователя характеристики фильтра (импульсная, амплитудно-частотная, фазочастотная, карта нулей и полюсов и т. д.) и предлагаются варианты его структуры. После этого на основе уравнения (1.1) в ЦПОС реализуется ЦФ программным способом.

На базе нерекурсивных ЛДС, т. е. при $a_j = 0, j = 1, 2, \dots, (M-1)$, в уравнении (1.1), могут быть спроектированы КИХ-фильтры (с конечной импульсной характеристикой). Класс уравнений в этом случае имеет вид

$$y(n) = \sum_{i=0}^{N-1} b_i x(n-i), \quad (1.2)$$

а процедура реализации аналогична БИХ-фильтрам.

Как и для любой линейной системы, реакция $y(n)$ на выходе ЛДС связана со входным воздействием $x(n)$ соотношениями типа *свертки*:

$$y(n) = \sum_{k=0}^{\infty} h(k)x(n-k) \equiv \sum_{k=0}^{\infty} x(k)h(n-k), \quad (1.3)$$

где $h(k)$ — импульсная характеристика ЛДС.

Соотношение (1.3) и разностные уравнения (1.1) или (1.2) описывают ЛДС во временной области. Из них видно, что *базовыми операциями* для ЦПОС являются: умножение, сложение, их комбинация (умножение с накоплением), а также сдвиги и пересылки отсчетов, реализующие задержку.

Спектральный анализ. Одной из важнейших задач цифровой обработки сигналов является анализ свойств сигналов, для чего сигнал исследуют не только во временной, но и в частотной области. В ЦОС для представления в частотной области дискретных сигналов как периодических с периодом N (отсчетов), так и конечной длины N (отсчетов) используется прямое дискретное преобразование Фурье (ДПФ). Выражение для вычисления ДПФ имеет вид

$$X(k) = \sum_{n=0, 1, \dots, (N-1)}^{N-1} x(n)W_N^{nk}, \quad (1.4)$$

где $x(n)$, $n = 0, 1, \dots, (N-1)$ — отсчеты дискретного сигнала (периодического с периодом N или конечной длины N);

$X(k)$, $k = 0, 1, \dots, (N-1)$, — ДПФ сигнала $x(n)$ — периодическая последовательность равноотстоящих комплексных отсчетов в частотной области (комплексных коэффициентов ряда Фурье) с периодом N отсчетов и интервалом между ними $\Delta\omega = 2\pi/NT$;

W_N^{nk} — поворачивающий множитель, равный

$$W_N^{nk} = e^{-j\frac{2\pi}{N}kn}. \quad (1.5)$$

Модуль и аргумент комплексной последовательности $X(k)$, $k = 0, 1, \dots, (N-1)$, представляя собой амплитудную и фазовую составляющие ДПФ, соответственно.

Необходимо иметь в виду, что смысл ДПФ для дискретных периодических сигналов и сигналов конечной длины различен.

Для *периодического* дискретного сигнала с периодом N ДПФ (совокупность комплексных коэффициентов Фурье) соответствует *дискретному периодическому спектру* этого сигнала. Модуль и аргумент комплексных коэффициентов $X(k)$ называют амплитудным и фазовым спектрами, соответственно.

Для дискретного сигнала *конечной длины* N ДПФ (N комплексных коэффициентов Фурье) соответствует N *равноотстоящим отсчетам спектра на периоде*. В действительности спектр данного сигнала, определяемый как его прямое преобразование Фурье [15, 17], является *непрерывной* периодической функцией частоты, однако по N равноотстоящим отсчетам спектра, то есть по ДПФ, гарантируется возможность *точного* восстановления непрерывного спектра. Таким образом, практический интерес к ДПФ объясняется, во-первых, тем, что ДПФ полностью характеризует спектр сигнала конечной длины, а, во-вторых, тем, что для вычисления на ЭВМ непрерывных функций (в данном случае спектра) все равно необходима их дискретизация.

Как в первом, так и во втором случае *точное* восстановление отсчетов сигнала $x(n)$ можно получить, используя формулу обратного ДПФ (ОДПФ):

$$x(n)_{n=0,1,\dots,(N-1)} = \frac{1}{N} \sum_{k=0}^{N-1} X(k) W_N^{-nk}. \quad (1.6)$$

Как видно из (1.4) и (1.6), базовыми операциями при расчете ДПФ и ОДПФ являются умножение и сложение комплексных чисел.

Объем вычислений ДПФ имеет порядок N^2 операций сложения и умножения комплексных чисел, что при большом N весьма ограничивает скорость вычисления спектра и для реального времени часто неприемлемо. Для уменьшения вычислительных затрат разработаны алгоритмы быстрого вычисления ДПФ, называемые быстрым преобразованием Фурье (БПФ). Первым и основополагающим из них является алгоритм БПФ Кули-Тьюки, в котором объем вычислений снижен до порядка $\text{Mog}_2 N$ умножений и сложений комплексных чисел. Базовые операции в БПФ те же, что и в ДПФ.

На выходе ЦПОС (рис. 1.1) имеем выходной сигнал $y(n)$, полученный в результате цифровой обработки входного сигнала $x(n)$ и представляющий собой массив из N m -разрядных двоичных чисел (в общем случае значения N и m могут измениться). Этот сигнал поступает в ЦАП, на выходе которого формируется ступенчатый аналоговый сигнал $y(t)$.

Ступенчатый (или лестничный) эффект воспринимается как искажение, для устранения которого используют низкочастотный сглаживающий фильтр.

1.3. Области применения и основные функции, реализуемые на базе ЦПОС

В этом разделе перечисляется ряд функций, традиционно реализуемых на базе ЦПОС.

Цифровая фильтрация:

КИХ-фильтры; БИХ-фильтры; согласованные фильтры (корреляторы); преобразователи Гильберта; умножение на конечную оконную функцию; адаптивные фильтры; эквалайзеры.

Обработка чисел:

скалярная, векторная и матричная арифметика; вычисление трансцендентных функций (\sin , \cos и т. п.); генерирование псевдослучайных чисел.

Обработка сигналов:

сжатие (например, кодирование речевых сигналов по методу линейного предсказания); растяжение; усреднение; вычисление энергии; гомоморфные преобразования; преобразование линейных данных по μ - и A-законам при компандировании.

Спектральный анализ:

ДПФ; БПФ; синусное/косинусное преобразование; моделирование: скользящего среднего (СС) и авторегрессии (АР).

Обработка данных:

шифрование/дешифрование; кодирование/декодирование.

Модуляция:

амплитудная (АМ), частотная (ЧМ), фазовая (ФМ) и их разновидности.

Разумеется, приведенный список может быть дополнен. В настоящее время ЦПОС применяются во многих областях.

Телекоммуникации:

мультиплексоры; транскодеры; цифровые АТС; тональный набор; вокодеры; подавление помех; ретрансляторы; видеотелефоны; речевая почта; засекреченная связь; спутниковые приемники; сотовая связь.

Передача данных:

модемы; факсы; локальные сети; криптография.

Обработка звуковых сигналов:

синтез музыки; эквалайзеры; микшеры.

Компьютеры:

сервоконтроль для оптических дисков; локальные сети; двумерная и трехмерная графика; математический сопроцессор; лазерные принтеры; системы мультимедиа; цифровое аудио.

Инструментарий:

цифровая фильтрация; спектроанализаторы; генераторы тона; генераторы сигнала; сейсмические приборы.

Обработка изображений:

распознавание изображений; распознавание отпечатков пальцев; сжатие; повышение качества.

Цифровое аудио:

цифровое радиовещание; диктофоны; автоответчики; музыкальные инструменты и синтезаторы; студийное оборудование.

Специальное применение:

навигация; секретная связь; гидроакустические и радиолокационные станции.

Промышленность:

высокоскоростное управление; вибрационный анализ; робототехника; адаптивное управление; подавление шумов; распознавание образов.

Медицина:

усиление звука; томограф; анализ рентгеновских снимков; анализ электрокардиограмм; ультразвуковая диагностика.

Цифровое видео:

цифровое телевидение; мониторы с высоким разрешением.

Обработка речи:

синтез речи; распознавание речи.

1.4. Особенности ЦПОС

Прежде чем перейти к рассмотрению ЦПОС фирмы Motorola, укажем основные особенности, характеризующие цифровые процессоры обработки сигналов:

быстрая и гибкая арифметика, возможность выполнения операций умножения и умножения с накоплением за один командный цикл;

защита от переполнений при вычислении сумм;

расширенный динамический диапазон для операций сложения и умножения с накоплением, обеспечивающий высокую точность вычислений;

- целесообразность выборки двух операндов за один цикл для повышения быстродействия операции;
- гибкая система адресации с учетом специфики алгоритмов ЦОС, в частности, наличие модульной и бит-реверсивной адресации для организации циклических буферов;
- эффективная организация циклов и ветвлений.

1.5. Семейства ЦПОС фирмы Motorola

В настоящее время фирмой Motorola выпускается четыре семейства ЦПОС, перечень которых по данным фирмы (<http://www.motorola.com>) приведен в табл. 1.1.

Семейство 24-разрядных процессоров DSP56000 называют *базовым*, поскольку его *архитектура является концептуальной* для всех сигнальных процессоров DSP56K. Основные характеристики сигнальных процессоров базового семейства:

- параллелизм — одновременная и независимая работа основных устройств на кристалле благодаря развитой системе шин;
- две области памяти данных и два аккумулятора, что удобно при организации симметричной обработки, например, комплексных данных, стереофонических сигналов и т. п.;
- разрядность данных 24 бита, обеспечивающая динамический диапазон 144 дБ;
- разрядность аккумуляторов 56 бит, обеспечивающая динамический диапазон 336 дБ;
- 8-разрядный регистр расширения в составе каждого 56-разрядного аккумулятора, позволяющий обрабатывать данные вещественного типа с целой частью (т. е. смешанные числа);
- разрядность адреса 16 бит;
- разнообразие режимов адресации, возможность модульной и бит-реверсивной косвенной адресации;
- исключительно мощная система команд (62);
- возможность выборки двух операндов за один командный цикл;
- до двух параллельных пересылок данных, реализуемых одновременно с выполнением команды;
- аппаратная реализация циклов DO;
- гибкая система прерываний;
- обширная внутрикристалльная периферия;

- внутрикристальный эмулятор;
- низкое энергопотребление за счет КМОП-технологии и возможности управления энергопотреблением в состояниях ожидания и останова;
- удобная и надежная аппаратная и программная среда проектирования и отладки.

Желающим разобраться в архитектуре сигнальных процессоров фирмы Motorola целесообразно начать с изучения архитектуры базового семейства, подробное знакомство с которой и представляет собой содержание первой части данной книги.

Для того чтобы иметь общее представление обо всех сигнальных процессорах, выпускаемых фирмой, в разделах 1.5—1.10 приводится их краткий обзор по семействам. Разумеется, быстрая эволюция развития ЦПОС предполагает постоянную коррекцию подобной информации, поскольку одни процессоры модернизируются и совершенствуются, а другие прекращают жизнь. Все текущие данные доступны на сайте фирмы.

Таблица 1.1. Семейства ЦПОС фирмы Motorola

Разрядность	Семейство	Члены семейства	Краткая характеристика
16	DSP56600	DSP56651 DSP56652 DSP56654 DSP56690	На кристалле с низким энергопотреблением ЦПОС семейства объединяет два ядра: процессора DSP и микроконтроллера M-CORE с RISC-архитектурой; разработано специально для мобильных беспроводных приложений
16	DSP56800	DSP56824	Первый ЦПОС, объединяющий на одном кристалле преимущества эффективной архитектуры и системы команд сигнальных процессоров с функциональными возможностями микроконтроллеров
16	MSC8100	MSC8101	Самый мощный промышленно выпускаемый интегрированный процессор, оптимальный для приложений сетевой инфраструктуры; MSC8101 — первый продукт фирмы, в котором реализована новая технология ядра StarCore
24	DSP56000	DSP56002 DSP56004 DSP56007 DSP56009	Базовое семейство; промышленный стандарт для приложений, связанных с цифровой обработкой аудиосигналов; внутрикристальная память, порты связи и интерфейс допускают взаимодействие с другими процессорами или сопряжение с DMA-каналами

Таблица 1.1 (окончание)

Разрядность	Семейство	Члены семейства	Краткая характеристика
24	DSP56300	DSP56301 DSP56303 DSP56307 DSP56309 DSP56311 DSP56362 DSP56364 DSP56366	Обширное семейство на базе ядра DSP56300; интеграция лучших достижений фирмы позволила существенно повысить производительность, снизить стоимость и упростить проектирование систем; программно совместимы с процессорами семейства DSP56000

Замечание

В дальнейшем для обозначения микроконтроллера с ядром M•CORE и RISC-архитектурой используется стандартное обозначение MCU (Microcontroller Unit).

Прежде чем перейти к особенностям конкретных ЦПОС, удобно представить их обобщенную структуру. В любом процессоре DSP56K на кристалле функционально можно выделить две части (рис. 1.3):

- центральный модуль обработки;
- область расширения.

Краткое описание центрального модуля обработки и области расширения дается в главе 2, подробное — в последующих главах первой части.

Центральный модуль обработки является основой любого процессора DSP56K. В его состав входят (см. главу 2):

- арифметико-логическое устройство данных **ALU** данных;
- устройство генерации адреса **AGU**;
- устройство программного управления **PCU**;
- шины данных **DB**;
- шины адресов **AB**;
- порты (A, B и C — в зависимости от модификации процессора);
- внутрикристальный эмулятор **OnCE**;
- генератор тактовых импульсов ГТИ с фазовой автоподстройкой частоты **PLL** (ФАПЧ).

Дополнительно в состав *центрального модуля обработки* семейств DSP56300, DSP56600 и DSP56800 входит стандартный интерфейс **JTAG**.

Интерфейс JTAG (Joint Test Action Group — Объединенная группа по проведению тестирования) позволяет выполнить тестирование процессоров в

соответствии со стандартом IEEE 1149.1 (Institute of Electrical and Electronic Engineers — Институт инженеров по электротехнике и электронике), обеспечивая тем самым совместимость сигнальных процессоров фирмы Motorola с данным стандартом. Логические схемы сканирования JTAG осуществляют двусторонний пограничный опрос внешних устройств, последовательное тестирование выводов и имеющихся устройств внутрикристалльной периферии. Подробнее с протоколами JTAG можно познакомиться в стандарте IEEE 1149.1, а с реализацией JTAG — в руководствах для пользователя и [22].

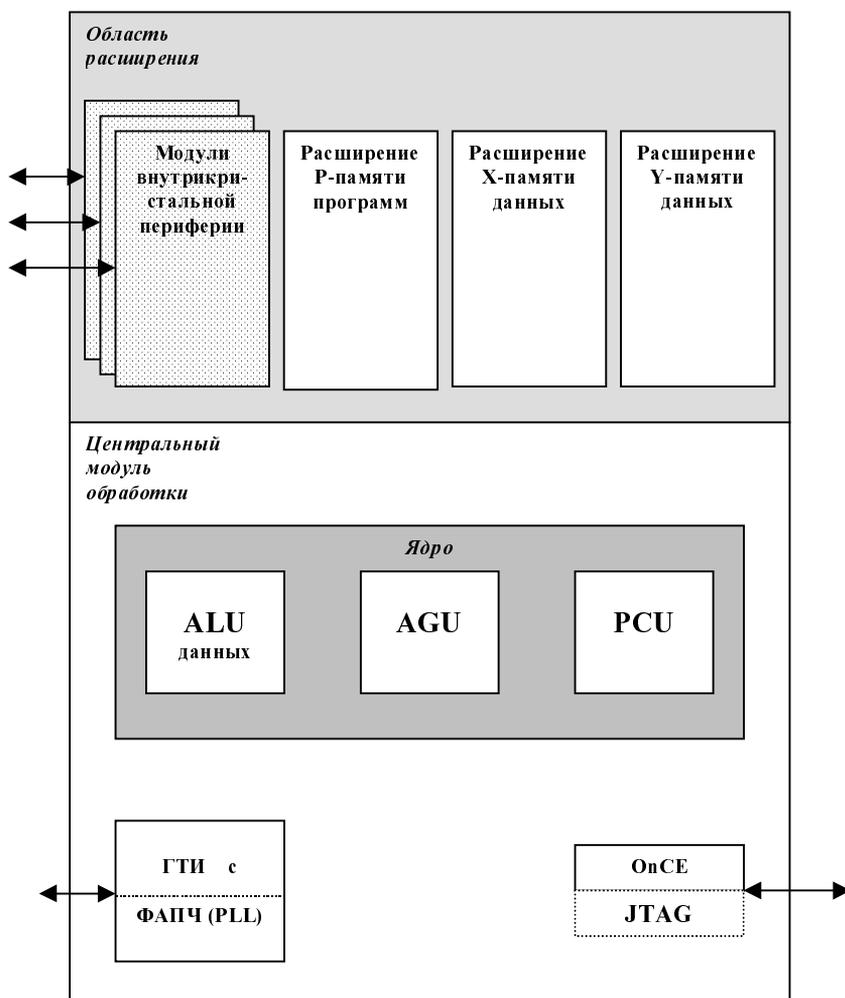


Рис. 1.3. Обобщенная структура DSP56K

Таблица 1.2. Процессоры, выпуск которых прекращен (end-of-life)

Процессор	Корпус, число выводов	Разрядность ячеек памяти программ/данных (бит)	Частота (МГц)	Производительность (MIPS)	Напряжение (В)	RAM (слов)	ROM (слов)	Периферия	Снят (дата) Замена (тип)
DSP56001	88 PGA 132 COFP 132 PQFP	24 / 24	33	16,5	5 Core 5 I/O	512 X/Y	3,75K P 512 X/Y	SSI SCI GPIO HI	12.98 56303
DSP56001A	88 PGA	24 / 24	27 33	14,5 16,5	5 Core 5 I/O	512 P 512 X/Y	512 X/Y	SSI SCI GPIO HI	10.00 56303
DSP56L002	132 PQFP 144 TQFP	24 / 24	40	20	3,3 Core 3,3 I/O	256 P 512 X/Y	512 X/Y	PLL SSI SCI GPIO Timer HI08	10.99 56303
DSP56005	144 TQFP	24 / 24	50	25	5 Core 5 I/O	4,5K P 512 X/Y	512 X/Y	PLL SSI SCI GPIO 5 PWM HI WDOG Timer/ Event Counter	12.98 56303

Таблица 1.2 (продолжение)

Процессор	Корпус, число выводов	Разрядность ячейки памяти программ/данных (бит)	Частота (МГц)	Производительность (MIPS)	Напряжение (В)	RAM (слов)	ROM (слов)	Периферия	Снят (дата) Замена (тип)
DSP56011	100 TQFP	24 / 24	95	47,5	5 Core 5 I/O	512 P 8,25K X/Y	12,5K P 5,5K X/Y	SHI SAI PLL DAX GPIO HI	12.99 56362
DSP56012	100 TQFP	24 / 24	95	47,5	5 Core 5 I/O	256 P 8,25K X/Y	15K P 5,5K X/Y	SHI SAI PLL DAX GPIO HI08	06.00 56362
DSP56156	112 CQFP 112 TQFP	16 / 16	40 60	20 30	5 Core 5 I/O	2K P 2K X	—	PLL 2 SSI GPIO HI08 Timer/Event Counter Sigma-Delta Codec	03.00 56303 или 56824
DSP56166	112 CQFP	16 / 16	40 60	20 30	5 Core 5 I/O	2K P 4K X	—	PLL GPIO 2RSSI HI08 Timer/Event Counter Sigma-Delta Codec	08.99 56303 или 56824