

Серия практических
пособий в 4 книгах

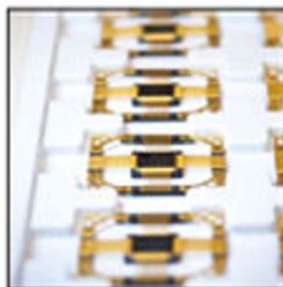
**«ПОЛУЗАКАЗНЫЕ БИС
НА БМК СЕРИЙ 5503 и 5507»**

электроники

КНИГА 4

Ю.А. СТЕПЧЕНКОВ, А.Н. ДЕНИСОВ,
Ю.Г. ДЬЯЧЕНКО, Ф.И. ГРИНФЕЛЬД,
О.П. ФИЛИМОНЕНКО, Н.В. МОРОЗОВ,
Д.Ю. СТЕПЧЕНКОВ, Л.П. ПЛЕХАНОВ
ПОД ОБЩЕЙ РЕДАКЦИЕЙ
АКАДЕМИКА РАН А.Н. САУРОВА

**Библиотека
функциональных ячеек
для проектирования
самосинхронных полузаказных
микросхем серий 5503 и 5507**



ТЕХНОСФЕРА

**УДК 621.3
ББК 31.2
П53**

Рецензент:

Захаров В.Н. – доктор технических наук

**П53 Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Практик. пособие. Кн. 4.
Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд,
О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков, Л.П. Плеханов
Библиотека функциональных ячеек для проектирования самосинхронных
полузаказных микросхем серий 5503 и 5507
/ Под общ. ред. академика РАН А.Н. Саурова**

Москва: ТЕХНОСФЕРА, 2017. – 376 с. ISBN 978-5-94836-441-4

Это четвертая книга серии учебных пособий из 4 книг, посвященных общим сведениям о базовых матричных кристаллах, вопросам методологии проектирования, средствам проектирования САПР «Ковчег» и библиотекам ячеек полузаказных микросхем серий 5503 и 5507.

Книга содержит описание библиотеки функциональных ячеек, предназначенных для проектирования средствами САПР «Ковчег» самосинхронных интегральных микросхем на основе базовых матричных кристаллов серий 5503 и 5507. Самосинхронные схемы характеризуются рядом параметров, выгодно отличающих их от синхронных схем, в том числе устойчивостью функционирования к разбросу и отклонениям параметров элементной базы из-за старения элементов.

В книге представлена методология проектирования самосинхронных электронных изделий на базе самосинхронных функциональных ячеек, а также методическое руководство по анализу самосинхронности схем ограниченного объема методом диаграмм переходов.

Предназначена для разработчиков радиоэлектронной аппаратуры, а также для преподавателей, студентов старших курсов и аспирантов, изучающих современные методы проектирования специализированных БИС.

**УДК 621.3
ББК 31.2**

© АО «РИЦ «ТЕХНОСФЕРА», оригинал-макет, оформление, 2017
© Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И.,
Филимоненко О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П., 2017

ISBN 978-5-94836-441-4

Раздел I. Система обозначений и состав библиотек 5503СС/5507СС

Основные группы функциональных ячеек.....	1-2
Логические ячейки, выполняющие простую функцию.....	1-2
Логические функции, выполняющие сложную функцию.....	1-3
Мультиплексоры.....	1-5
Преобразователи, компараторы, мажоритарные ячейки	1-5
Индикаторные ячейки.....	1-6
Триггеры — части макроячеек	1-9
Функционально законченные триггеры.....	1-11
Разряд последовательного счетчика	1-14
Разряд сдвигового регистра.....	1-15
Ячейки одноразрядного сумматора	1-16
Арбитры	1-16
Ячейки шины.....	1-17
Макроячейки	1-17

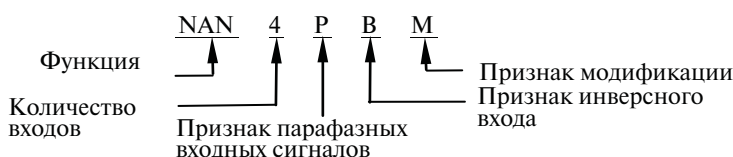
Основные группы функциональных ячеек

В состав библиотеки 5503СС/5507СС входят следующие классы ячеек:

- базовые ячейки:
 - логические ячейки, выполняющие простую функцию;
 - логические ячейки, выполняющие сложную функцию;
 - мультиплексоры;
 - преобразователи, компараторы, мажоритарные ячейки;
 - индикаторные ячейки;
 - триггеры — части макроячеек;
 - функционально законченные триггеры;
 - разряд последовательного счетчика;
 - разряд сдвигового регистра;
 - ячейки одноразрядного сумматора;
 - арбитры;
 - ячейки шины;
- макроячейки.

Логические ячейки, выполняющие простую функцию

Имя логической ячейки, выполняющей простую функцию, включает в себя название функции, общее количество входов, признак парафазных входных сигналов, признак инверсного выхода, признак модификации (может отсутствовать).



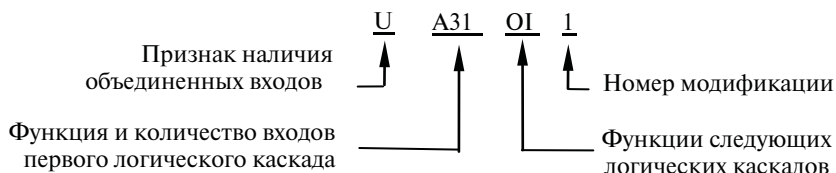
Обозначения функций:

- **AND** — И;
- **NAN** — И-НЕ;
- **NOR** — ИЛИ-НЕ;
- **OR** — ИЛИ.

Имя	Функция	Страница
AND4M	4И: $I0 \cdot I1 \cdot I2 \cdot I3$	2-11
NAN4	4И-НЕ: $/(I0 \cdot I1 \cdot I2 \cdot I3)$	2-124
NOR4	4ИЛИ-НЕ: $/(I0 + I1 + I2 + I3)$	2-124
OR4M	4ИЛИ: $I0 + I1 + I2 + I3$	2-139

Логические ячейки, выполняющие сложную функцию

Имя логической ячейки, реализующей сложную функцию, включает в себя признак наличия объединенных входов, название функции первого логического каскада, количество входов первого каскада, названия функций следующих логических каскадов, номер модификации ячейки (может отсутствовать).



Обозначения функций:

- **A** – И (AND);
- **O** – ИЛИ (OR);
- **I** – функция инверсии.

Если имя логической ячейки превышает 6 знаков, то количество входов первого каскада может быть опущено.

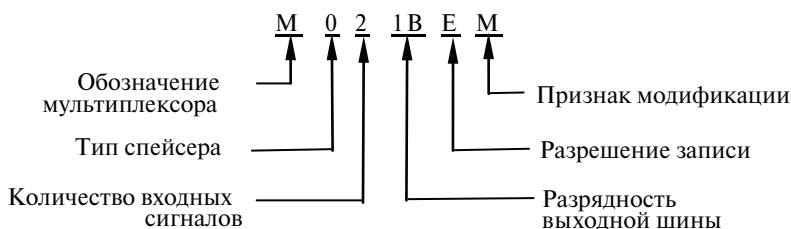
Имя	Функция	Страница
A221OI	$/(I0*I1+I2*I3+I4)$	2-2
A2222I	$/(I0*I1+I2*I3+I4*I5+I6*I7)$	2-2
A222OI	$/(I0*I1+I2*I3+I4*I5)$	2-2
A2O3I	$/(I0*I1+I2+I3)$	2-3
A2O4I	$/(I0*I1+I2+I3+I4)$	2-3
A2OAI	$/((I0*I1+I2)*I3)$	2-3
A31OI1	$/(I0*I1*I2+I3)$	2-4
A322OI	$/(I0*I1*I2+I3*I4+I5*I6)$	2-4
A32OI	$/(I0*I1*I2+I3*I4)$	2-4
A333OI	$/(I0*I1*I2+I3*I4*I5+I6*I7*I8)$	2-5
A33OI	$/(I0*I1*I2+I3*I4*I5)$	2-5
A41OI	$/(I0*I1*I2*I3+I4)$	2-5
A42OI	$/(I0*I1*I2*I3+I4*I5)$	2-6
A43OI	$/(I0*I1*I2*I3+I4*I5*I6)$	2-6
A44OI	$/(I0*I1*I2*I3+I4*I5*I6*I7)$	2-6
AOAI1	$/((I0*I1+I2*I3)*I4)$	2-11
AOAI2	$/((I0*I1+I2*I3+I4)*I5)$	2-12
AOAI8	$/((I0*I1+I2)*(I3*I4+I5))$	2-12
AOAO1	$(I0*I1+I2*I3)*I4+(I3*I5+I1*I6)*I7$	2-13
AOAO11	$/((I0*I1+I2*I3)*I4+I5)$	2-16
AOAO12	$/((I0*I1+I2*I3)*I4+I5*I6+I7*I8)$	2-16
AOAO13	$/((I0*I1+I2*I3)*I4+I5*I6)$	2-18
AOAO15	$/((I0*I1+I2)*I3+I4)$	2-20

Имя	Функция	Страница
АОАО16	$/(((I0*I1+I2)*I3+I4)*I5+I6)$	2-21
АОАО17	$/((I0*I1+I2)*I3+(I4*I5+I6)*I7)$	2-21
О221AI	$/((I0+I1)*(I2+I3)*I4)$	2-106
О2222I	$/((I0+I1)*(I2+I3)*(I4+I5)*(I6*I7))$	2-106
О222AI	$/((I0+I1)*(I2+I3)*(I4+I5))$	2-107
О2A3I	$/((I0+I1)*I2*I3)$	2-107
О2A4I	$/((I0+I1)*I2*I3*I4)$	2-108
О2АОI	$/((I0+I1)*I2+I3)$	2-108
О322AI	$/((I0+I1+I2)*(I3+I4)*(I5+I6))$	2-109
О32AI	$/((I0+I1+I2)*(I3+I4))$	2-109
О331AI	$/((I0+I1+I2)*(I3+I4+I5)*I6)$	2-110
О333AI	$/((I0+I1+I2)*(I3+I4+I5)*(I6+I7+I8))$	2-110
О33AI	$/((I0+I1+I2)*(I3+I4+I5))$	2-111
О3AI1	$/((I0+I1+I2)*I3)$	2-111
О41AI	$/((I0+I1+I2+I3)*I4)$	2-112
О42AI	$/((I0+I1+I2+I3)*(I4+I5))$	2-112
О43AI	$/((I0+I1+I2+I3)*(I4+I5+I6))$	2-113
О44AI	$/((I0+I1+I2+I3)*(I4+I5+I6+I7))$	2-113
ОАОA1	$((I0+I1)*(I2+I3)+I4)*((I3+I5)*(I1+I6)+I7)$	2-114
ОАОAI1	$/(((I0+I1)*(I2+I3)+I4)*I5)$	2-114
ОАОAI2	$/(((I0+I1)*(I2+I3)+I4)*(I5+I6)*(I7+I8))$	2-115
ОАОAI3	$/(((I0+I1)*(I2+I3)+I4)*(I5+I6))$	2-115
ОАОAI5	$/(((I0+I1)*I2+I3)*I4)$	2-116
ОАОAI6	$/((((I0+I1)*I2+I3)*I4+I5)*I6)$	2-117
ОАОAI7	$/(((I0+I1)*I2+I3)*(I4+I5)*I6+I7))$	2-117
ОАОI1	$/((I0+I1)*(I2+I3)+I4)$	2-118
ОАОI2	$/((I0+I1)*(I2+I3)*I4+I5)$	2-119
ОАОI8	$/((I0+I1)*I2+(I3+I4)*I5)$	2-119
УОАОAI	$/(((I0+I1)*I3+I0*I1)*I2)$	2-217
УОАОI	$/((I0*(I1+I2)+I1*I3)$	2-217
УОАОI1	$/((I0+I1)*I2+I0*I1*I3)$	2-217
УОАОI2	$/((I0+I1+I2)*I3+I0*I1)$	2-218
УОАОI3	$/((I0+I1)*(I2+I3)+I2*I3)$	2-218
УОАОI4	$/((I0*I1*(I2+I3)+I2*I3)$	2-218
УОАОI5	$/((I0+I1)*I2+I0*I1+I3)$	2-219
УОАОI6	$/((I0+I1+I2)*I3+I0*I1*I2)$	2-219
УОАОI7	$/((I0+I1)*I2*I3+I0*I1*(I2+I3))$	2-219
УОАОI8	$/((I0+I3)*(I1+I2)+I0*I3+I1*I2)$	2-220
УОАОI9	$/((I0+I1+I2+I3)*I4+I0*I1*I2*I3)$	2-220

Мультиплексоры

Мультиплексор — ячейка, выполняющая функцию передачи одного из нескольких входных сигналов на выход в зависимости от значения входного управляющего кода.

Имя мультиплексора включает в себя название функции, тип спейсера, количество входных парафазных шин, разрядность выходной парафазной шины, разрешение записи, признак модификации.



Разрядность выходной шины обозначается буквой **В** и цифрой.

В случае одноразрядного сигнала признак шины отсутствует, а буква **В** означает инверсию выходного сигнала.

Сигнал разрешения **Е** и признак модификации **М** могут отсутствовать.

Имя	Функция	Страница
M021BE	Мультиплексор из 2 в 1 с нулевым спейсером, инверсией выходов и разрешением	2-98
M021EM	Мультиплексор из 2 в 1 с нулевым спейсером, мощным выходом и разрешением	2-100
M021M	Мультиплексор из 2 в 1 с нулевым спейсером и мощным выходом	2-102

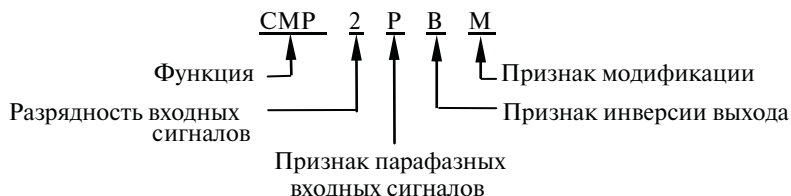
Преобразователи, компараторы, мажоритарные ячейки

Преобразователь — логическая ячейка, преобразующая бифазный сигнал в парафазный.

Компаратор — логическая ячейка, выполняющая логическую функцию сравнения двух двоичных чисел.

Мажоритарная ячейка — логическая ячейка, выполняющая логическую функцию мажорирования трех чисел (унарных или бинарных).

Имя ячейки включает в себя название функции, разрядность входных сигналов, признак парафазных входных сигналов, признак инверсии выхода и признак модификации (необязательные).



Обозначения функций:

- **ВРС** — преобразование бифазного сигнала в парафазный;
- **СМР** — сравнение двух чисел с выработкой сигнала эквивалентности;
- **МАЖ** — мажорирование.

Разрядность сравниваемых чисел может иметь значения 2, 4, 8, 16. Для одно-разрядных компараторов разрядность не указывается.

Признак модификации М может отсутствовать.

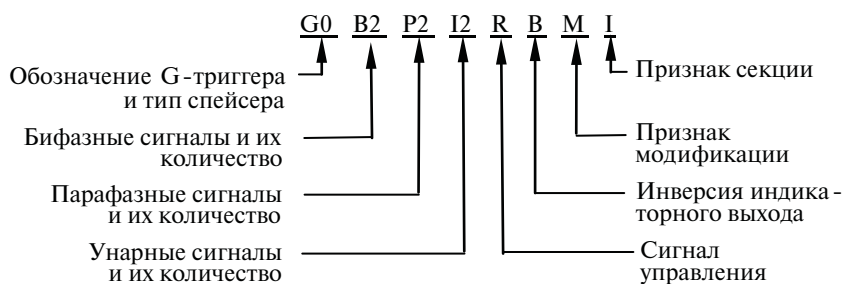
Имя	Функция	Страница
ВРС0	Преобразователь бифазного сигнала в парафазный с нулевым спейсером	2-23
ВРС1	Преобразователь бифазного сигнала в парафазный с единичным спейсером	2-24
СМРР	Одноразрядный компаратор для парафазных сигналов с выработкой сигнала эквивалентности	2-33
СМРР0	Одноразрядный компаратор для парафазных сигналов с нулевым спейсером, с парафазным выходом и индикацией входов	2-34
СМРР1	Одноразрядный компаратор для парафазных сигналов с единичным спейсером, с парафазным выходом и индикацией входов	2-35
МАЖВМ	Мажоритарная ячейка для трех унарных сигналов с унарным выходом	2-103
МАЖР	Мажоритарная ячейка для трех парафазных сигналов с парафазным выходом	2-104
UPC0	Преобразователь унарного сигнала в парафазный с нулевым спейсером	2-221
UPC1	Преобразователь унарного сигнала в парафазный с единичным спейсером	2-222

Индикаторные ячейки

В эту группу ячеек входят как G-триггеры, так и их части, не содержащие внутренней обратной связи.

Гистерезисные триггеры (G-триггеры) — ячейки, обеспечивающие индикацию окончания перехода из рабочей фазы в промежуточную (спейсер) и обратно как в функциональной части СС-схемы, так и в собственно индикаторе.

Имя G-триггера включает в себя обозначение ячейки, тип спейсера, признаки бифазных, парафазных и унарных индицируемых сигналов и их количество, сигнал управления, признак инверсии выхода, признак модификации, признак секции.



Тип спейсера:

- **0** — нулевой;
- **1** — единичный.

В ячейках только с унарными входами тип спейсера отсутствует.

Тип индицируемых сигналов:

- **I** — индикаторные унарные (непарные);
- **P** — парафазные (парные) со спейсером (три устойчивых состояния);
- **B** — бифазные (парные) без спейсера (два устойчивых состояния).

Ячейки с единичными парафазными и унарными входами обозначаются просто как **P** и **I** соответственно.

Признак инверсии **B** (в конце обозначения ячейки) указывает инверсию выхода.

Признак модификации может отсутствовать. Модификациями считаются G-триггеры, реализованные по мостовой схеме.

Признаки секции:

- **I** — входная;
- **O** — выходная.

В имени триггера указываются сигналы управления установкой и сбросом:

- **S** — синхронная установка (Set);
- **R** — синхронный сброс (Reset);
- **RS** — синхронные сброс и установка.

Имя индикатора образуется так же, как для ячейки со сложной функцией.

Признак модификации **M** может отсутствовать.

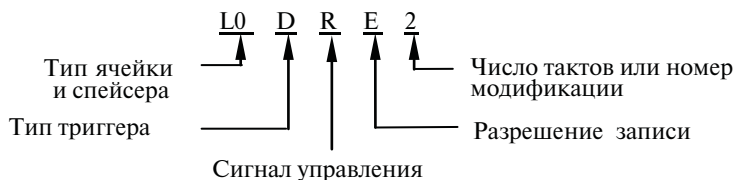
Имя	Функция	Страница
AOAOAI	Индикаторная ячейка с нулевым спейсером для четырех бифазных и одного унарного входов	2-14
AOAOI4	Индикаторная ячейка с нулевым спейсером для пяти бифазных и одного унарного входов	2-18
G0B32I	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 1)	2-42
G0B3I	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами	2-43
G0B3I2	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 2)	2-44
G0B3IB	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами, инверсным выходом	2-45
G0P2	G-триггер с нулевым спейсером и двумя парафазными входами	2-46
G0PI	G-триггер с нулевым спейсером, одним унарным и одним парафазным входами	2-47
G0PI2	G-триггер с нулевым спейсером, двумя унарными и одним парафазным входами	2-48
G1B32I	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 1). Первичное использование — в составе макроячейки SIRTEI	2-49

Имя	Функция	Страница
G1B3I	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами. Первичное использование – в составе макроячейки SIRRE0	2-50
G1B3I2	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 2). Первичное использование – в составе макроячейки DIRE20	2-51
G1B3IB	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами, двумя выходами. Первичное использование – в составе макроячейки SIRRE1	2-52
G1P2	G-триггер с единичным спейсером и двумя парафазными входами	2-53
G1PI	G-триггер с единичным спейсером, одним унарным и одним парафазным входами	2-54
G1PI2	G-триггер с единичным спейсером, двумя унарными и одним парафазным входами	2-55
GI2	G-триггер с двумя унарными входами	2-56
GI2M	G-триггер с двумя унарными входами и парафазным выходом	2-57
GI2RS	G-триггер с двумя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-58
GI3	G-триггер с тремя унарными входами	2-59
GI3M	G-триггер с тремя унарными входами, мостовая схема	2-60
GI3M1	G-триггер с тремя унарными входами и парафазным выходом	2-61
GI3RS	G-триггер с тремя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-62
GI4	G-триггер с четырьмя унарными входами	2-63
GI4M	G-триггер с четырьмя унарными входами и парафазным выходом	2-64
GI4RS	G-триггер с четырьмя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-65
GIM6	Шестивходовой G-триггер	2-66
GIM8	Восьмивходовой G-триггер	2-67
GIM12	Двенадцативходовой G-триггер	2-68
GIM16	Шестнадцативходовой G-триггер	2-69
GIMI	Двухвходовая секция многовходового G-триггера (входная)	2-70
GIMO	Двухвходовая секция многовходового G-триггера (выходная)	2-71

Триггеры — части макроячеек

Триггеры по уровню — полуфабрикаты, части макроячеек; для получения статуса СС-ячеек они должны быть дополнены соответствующим индикатором окончания переходных процессов.

Имя триггера включает в себя тип ячейки, тип спейсера, тип триггера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) или номер модификации.



Тип ячейки отвечает его функциональному назначению как логической части макроячейки (**L** — Logical part).

Тип спейсера:

- **0** — нулевой;
- **1** — единичный.

Обозначения типа триггера:

- **R** — RS-триггер;
- **D** — D-триггер.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться следующие сигналы:

- **S** — синхронная установка (Set)¹;
- **R** — синхронный сброс (Reset);
- **P** — самосинхронная установка (Preset);
- **C** — самосинхронный сброс (Clear);
- **T** — самосинхронная предустановка (Timeset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

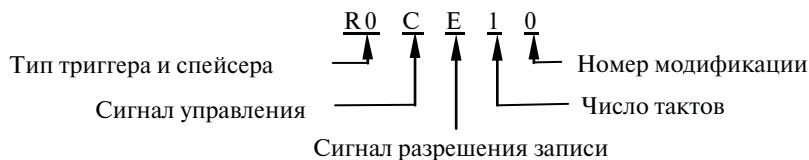
Число тактов может быть 1 или 2; ≥ 3 означает номер модификации.

¹ Здесь и далее под термином синхронный понимается сигнал, инициирующий не контролируемый по факту исполнения (не индицируемый) процесс сброса или установки. В реальной схеме это может быть сигнал тактового генератора (синхронный) или другой сигнал, предполагающий (или нет) запрос-ответное взаимодействие (асинхронный).

Имя	Функция	Страница
L0DRE1	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Первичное использование – в качестве синхронного триггера	2-74
L0DRE2	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-75
L0RCE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи. Первичное использование – в составе макроячейки R0CE20	2-76
L0RRE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи первой ступени. Первичное использование – в составе макроячеек S0RRE0 и S0RRE1	2-78
L0RRE3	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Может быть использован (как входная часть) для построения двухтактных RS-триггеров	2-80
L0RRE4	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи второй ступени. Первичное использование – в составе макроячейки S0RRE2	2-82
L0RTE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование – в составе макроячейки S0RTE0	2-84
L0RTE3	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование – в составе макроячейки S0RTE1	2-86
L1DRE2	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-88
L1RCE2	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи. Первичное использование – в составе макроячейки R1CE20	2-90
L1RRE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи. Первичное использование – в составе макроячеек S1RRE0 и S1RRE1	2-92
L1RTE2	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование – в составе макроячейки S1RTE0.	2-94
L1RTE3	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование – в составе макроячейки S1RTE1	2-96

Функционально законченные триггеры

Имя триггера данных (функционально законченного триггера) включает в себя тип триггера, тип спейсера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) в триггере и номер модификации.



Обозначения типа триггера:

- **R** – RS-триггер;
- **D** – D-триггер.

Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться такие сигналы:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **P** – самосинхронная установка (Preset);
- **C** – самосинхронный сброс (Clear).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи в триггер (может отсутствовать).

Число тактов может быть 1 или 2.

Модификациями считаются триггеры, имеющие инверсные входные сигналы, иное исполнение индикаторных ячеек или другие отличия. Номер модификации может принимать значения от 0 до 9.

Имя	Функция	Страница
D0E10	Однотактный D-триггер с нулевым спейсером и разрешением записи	2-36
D0RE10	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-37
D0SE10	Однотактный D-триггер с нулевым спейсером, синхронной установкой и разрешением записи	2-38
D1E10	Однотактный D-триггер с единичным спейсером и разрешением записи	2-39
D1RE10	Однотактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-40
D1SE10	Однотактный D-триггер с единичным спейсером, синхронной установкой и разрешением записи	2-41

Имя	Функция	Страница
R010	Однотактный RS-триггер с нулевым спейсером	2-120
R011	Однотактный RS-триггер с парафазным входом с нулевым спейсером и мощным выходом	2-121
R0C10	Однотактный RS-триггер с нулевым спейсером и самосинхронным сбросом	2-122
R0C11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	2-123
R0C12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	2-125
R0C13	Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронным сбросом и мощным выходом	2-127
R0CE10	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи	2-129
R0CE11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	2-130
R0CE12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	2-132
R0CE13	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	2-134
R0E10	Однотактный RS-триггер с нулевым спейсером и разрешением записи	2-136
R0E11	Однотактный RS-триггер с нулевым спейсером, разрешением записи и мощным выходом	2-137
R0P10	Однотактный RS-триггер с нулевым спейсером и самосинхронной установкой	2-138
R0P11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	2-139
R0P12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	2-141
R0P13	Однотактный RS-триггер с самосинхронной установкой и мощным парафазным выходом с нулевым спейсером	2-143
R0PE10	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и разрешением записи	2-145
R0PE11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	2-147
R0PE12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	2-149
R0PE13	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и мощным выходом	2-151
R0R10	Однотактный RS-триггер с нулевым спейсером и синхронным сбросом	2-153
R0R11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронным сбросом и мощным выходом	2-154
R0RE10	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-155

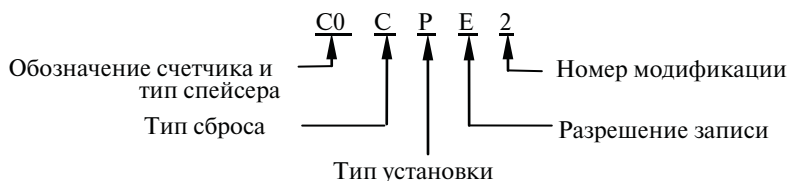
Имя	Функция	Страница
R0RE11	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-157
R0RE12	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-160
R0RE13	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и мощным выходом	2-162
R0RE20	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным сигналом индикации	2-164
R0RE21	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-166
R0RE22	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и прямым сигналом индикации	2-168
R0S11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом	2-170
R0SE13	Однотактный RS-триггер с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом	2-171
R111	Однотактный RS-триггер с парафазным входом с единичным спейсером и мощным выходом	2-173
R1C10	Однотактный RS-триггер с единичным спейсером и самосинхронным сбросом	2-174
R1C11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	2-175
R1C12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	2-177
R1C13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронным сбросом и мощным выходом	2-179
R1CE10	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи	2-181
R1CE11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	2-183
R1CE12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	2-185
R1CE13	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	2-187
R1E11	Однотактный RS-триггер с единичным спейсером, разрешением записи и мощным выходом	2-189
R1P10	Однотактный RS-триггер с единичным спейсером и самосинхронной установкой	2-190
R1P11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	2-192
R1P12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	2-194
R1P13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронной установкой и мощным выходом	2-196

Имя	Функция	Страница
R1PE10	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи	2-198
R1PE11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	2-200
R1PE12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	2-202
R1PE13	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и мощным выходом	2-204
R1R11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронным сбросом и мощным выходом	2-206
R1RE10	Однотактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-207
R1RE11	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-208
R1RE13	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и мощным выходом	2-210
R1RE20	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-212
R1S11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронной установкой и мощным выходом	2-214
R1SE13	Однотактный RS-триггер с единичным спейсером, синхронной установкой, разрешением записи и мощным выходом	2-215

Разряд последовательного счетчика

Разряд последовательного счетчика на базе Т-триггера позволяет построить последовательный самосинхронный счетчик с нулевым или единичным спейсером. Разряд счетчика обеспечивает возможность предварительной установки в счетчике требуемого кода. Возможны два варианта установки – синхронный и самосинхронный; в зависимости от требований конкретного применения реализуется один из видов установки.

Имя счетного триггера включает в себя его обозначение, тип спейсера, управляющие сигналы, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера может принимать следующие значения:

- 0 — нулевой;
- 1 — единичный.

К управляющим сигналам относятся сигналы управления установкой и сбросом.

Типы сброса:

- R — синхронный сброс (Reset);
- C — самосинхронный сброс (Clear).

Типы установки:

- S — синхронная установка (Set);
- P — самосинхронная установка (Preset).

Признак разрешения записи E (Enable) указывает на наличие входа разрешения записи информации (может отсутствовать).

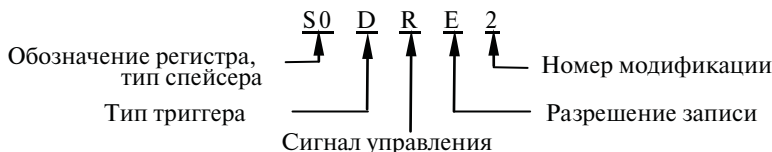
Номер модификации может отсутствовать.

Имя	Функция	Страница
C0CI	Счетный триггер с нулевым спейсером, самосинхронным сбросом и индикаторным выходом	2-25
C0CP	Разряд последовательного счетчика с нулевым спейсером, самосинхронным сбросом и установкой	2-26
C0R	Разряд последовательного счетчика с нулевым спейсером и синхронным сбросом	2-28
C0RI	Счетный триггер с нулевым спейсером, синхронным сбросом и индикаторным выходом	2-29
C1C	Разряд последовательного счетчика с единичным спейсером и самосинхронным сбросом	2-30
C1CP	Разряд последовательного счетчика с единичным спейсером, самосинхронным сбросом и установкой	2-31

Разряд сдвигового регистра

Разряд сдвигового регистра позволяет построить сдвиговый регистр с нулевым или единичным спейсером. Обеспечивается возможность предварительной установки в регистре требуемого кода. Возможны два варианта установки — синхронный и самосинхронный; в зависимости от требований конкретного применения реализуется один из видов установки.

Имя разряда сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, на базе которого построен разряд регистра, управляющие сигналы, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера может принимать следующие значения:

- **0** — нулевой;
- **1** — единичный.

Обозначения типа триггера:

- **R** — RS-триггер;
- **D** — D-триггер.

К управляющим относятся сигналы управления установкой и сбросом.

Типы сброса:

- **R** — синхронный сброс (Reset);
- **C** — самосинхронный сброс (Clear).

Типы установки:

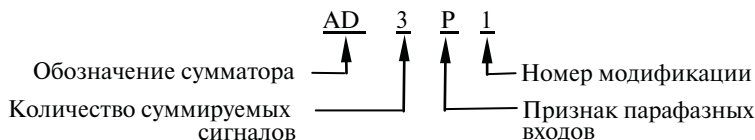
- **S** — синхронная установка (Set);
- **P** — самосинхронная установка (Preset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации (может отсутствовать).

Ячейки одноразрядного сумматора

В эту группу входят ячейки суммирования парафазных сигналов, которые могут быть использованы при построении многоразрядных сумматоров и умножителей.

Имя ячейки включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации (может отсутствовать).



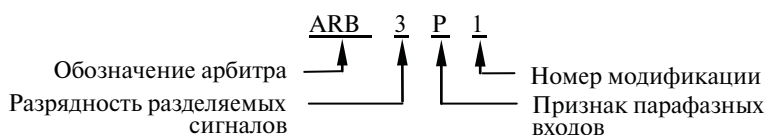
Модификациями считаются сумматоры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция	Страница
AD1P1	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом	2-7
AD1P2	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)	2-8
AD1P3	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и выходами	2-9

Арбитры

В эту группу входят ячейки арбитража унарных или парафазных сигналов.

Имя ячейки включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации ячейки (может отсутствовать).

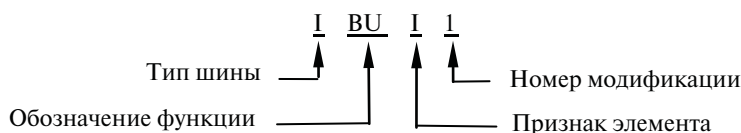


Модификациями считаются арбитры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция	Страница
ARB0	Асинхронный арбитр	2-22

Ячейка шины

Ячейка шины обеспечивает организацию шины внутри или вне поля БМК. Имя ячейки включает в себя тип шины, обозначение функции, признак ячейки и номер модификации.



Тип шины может принимать следующие значения:

- **I** – внутренняя шина (Internal);
- **E** – внешняя шина (External).

Обозначение функции – ячейка шины (Bus Unit).

Признак ячейки шины может принимать следующие значения:

- **I** – входная ячейка шины (Input);
- **O** – выходная ячейка шины (Output).

Модификациями считаются ячейки шины, отличающиеся уровнем сигналов разрешения, уровнем доопределения шины и т.п. Номер модификации может отсутствовать.

Имя	Функция	Страница
IBUI	Вход внутренней шины	2-72
IBUO	Выход внутренней шины	2-73

Макроячейки

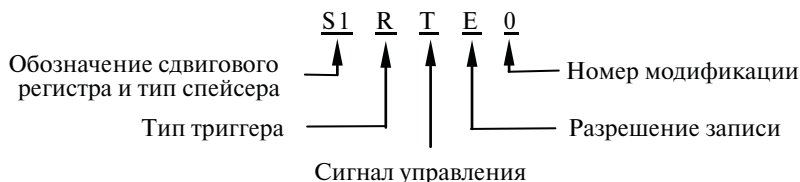
Здесь собраны функционально сложные ячейки, которые предполагается использовать достаточно широко, но невозможно реализовать топологически как базовые ячейки. Макроячейка представляет собой комбинацию базовых ячеек, которая используется как единая ячейка, выполняющая сложную функцию. Ограниченное число внутренних связей в ней реализуется на общем трассировочном пространстве кристалла БМК. Каждая макроячейка содержит индикатор окончания переходных процессов.

Использование макроячеек позволяет повысить эффективность проектирования самосинхронных БИС на БМК.

Макроячейка не имеет соответствующего топологического примитива.

При проектировании топологии схемы макроячейка реализуется совокупностью нескольких топологических примитивов, соответствующих ячейкам, составляющим его.

Макроячейки, представленные здесь, делятся на две группы. Первые четыре ячейки составляют группу триггеров, имена которых образуются по правилам, установленным для функционально законченных триггеров. Во вторую группу входят разряды сдвиговых регистров. Имя разряда сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, признак управляющих сигналов, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера:

- 0 — нулевой;
- 1 — единичный.

Тип триггера может быть следующим:

- R — RS-триггер;
- D — D-триггер.

В имени регистра сдвига указываются сигналы управления установкой и сбросом. В качестве управляющих могут использоваться следующие сигналы:

- S, ST — синхронная установка (Set, SetTime);
- R, RT — синхронный сброс (Reset, ResetTime);
- P — самосинхронная установка (Preset);
- C — самосинхронный сброс (Clear).

Обозначения ST и RT используются, если S и R заняты для информационных входов.

Признак разрешения записи E (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Модификациями считаются регистры сдвига, использующие различные индикаторные ячейки.

Номер модификации может отсутствовать.