

Литюк В. И., Литюк Л. В.

# МЕТОДЫ ЦИФРОВОЙ МНОГОПРОЦЕССОРНОЙ ОБРАБОТКИ АНСАМБЛЕЙ РАДИОСИГНАЛОВ

Микропроцессоры для ЦОС

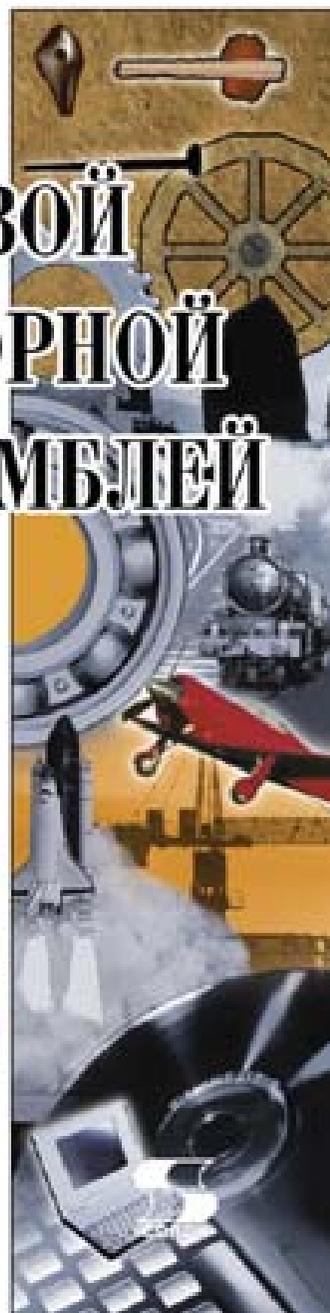
Виды радиоприемных устройств

Цифровые многопроцессорные фильтры

Обработка двумерных сигналов

Селекция сигналов движущихся целей

Находка для специалиста!



ББК 32.973.26-018.2  
УДК 621.391.24.037.372+  
621.372.54.083.92.001.2  
Л64

**Литюк В. И., Литюк Л. В.**

Л64 Методы цифровой многопроцессорной обработки ансамблей радиосигналов. — М.: СОЛОН-ПРЕСС, 2010. — 592 с.: ил. — (Серия «Библиотека студента»)

ISBN 5-98003-303-3

Монография посвящена вопросам обработки на цифровых многопроцессорных вычислительных системах (МВС) ансамблей радиосигналов, полоса которых превышает быстродействие используемых цифровых функциональных узлов в заданное число раз. При этом обработка может осуществляться как в режиме работы вычислительной системы «скачущее» окно, так и «скользящее», причем сигналы могут быть представлены как в многоуровневой, так и в бинарно-квантованной формах. С единых позиций рассматриваются вопросы обработки ансамблей сложных сигналов, поступающих с выходов линейных трактов радиоприемных устройств различного назначения. Рассмотрены виды современных МВС, особенности современных микропроцессоров, предназначенных для цифровой обработки сигналов (ЦОС), дается математическое описание радиосигналов, подлежащих цифровой обработке. Представлены методы синтеза цифровых многопроцессорных фильтров и анализаторов спектра, осуществляющих обработку и анализ в режимах работы «скачущее» и «скользящее» окно в условиях, когда на их входы поступают распараллеленные входные радиосигналы. Описываются методы синтеза и анализа устройств измерения параметров радиосигналов при различных формах их цифрового представления. Излагаются новые подходы по синтезу и анализу ансамблей сложных сигналов и устройств их обработки с учетом особенностей МВС применительно к задачам радиосвязи и радиолокации.

Данная монография рассчитана на научных работников, преподавателей, инженеров, аспирантов и студентов старших курсов радиотехнических специальностей, работающих в области цифровой обработки сложных радиосигналов на МВС.

По вопросам приобретения обращаться:  
ООО «АЛЬЯНС-КНИГА КТК»  
Тел: (495) 258-91-94, 258-91-95, [www.abook.ru](http://www.abook.ru)  
Сайт издательства «СОЛОН-Пресс»: [www.solon-press.ru](http://www.solon-press.ru)  
E-mail: [solon-avtor@coba.ru](mailto:solon-avtor@coba.ru)

ISBN 5-98003-303-3

© Макет и обложка «СОЛОН-ПРЕСС», 2010  
© Литюк В. И., Литюк Л. В., 2010

## 1. ОСНОВНЫЕ СВЕДЕНИЯ О СОВРЕМЕННОЙ ЦИФРОВОЙ ЭЛЕМЕНТНОЙ БАЗЕ

### 1.1. Вводные замечания

Цифровая обработка сигналов средствами вычислительной техники позволяет решить задачу унификации тракта обработки сигналов на фоне помех. Один и тот же вычислитель при соответствующей его настройке может осуществить необходимую адаптацию для обработки сигналов с получением результатов, близких к оптимальным.

К основным достоинствам ЦОС можно отнести [1]:

- возможность реализации различных алгоритмов обработки на однотипной микроэлектронной базе;
- возможность длительного накопления слабых сигналов;
- стабильность характеристик;
- большой динамический диапазон;
- высокую точность выполнения арифметических операций;
- высокую надежность;
- малые веса, габариты;
- высокое быстродействие;
- отсутствие необходимости настройки электрических цепей;
- относительно низкий уровень потребляемой мощности.

Особенностью ЦОС в радиоприемных устройствах (РПРУ) является обязательная дискретизация аналогового сигнала во времени, квантование значений и преобразование дискретных выборок в числа при помощи аналого-цифровых преобразователей (АЦП). Преобразованию может подвергаться как сигнал целиком, так и его отдельные параметры, (амплитуда, фаза и т. д.), необходимые для выделения заложенной в сигнале информации. Далее все операции производятся над полученными в результате преобразования числами.

В то же время для нормальной работы современных АЦП необходимо наличие сигнала на его входе в пределах нескольких вольт. Следовательно, требуется наличие предварительного аналогового усиления сигналов, что осуществляется в РПРУ.

### **1.2. Виды радиоприемных устройств с цифровой обработкой сигналов**

К первому виду относят аналого-цифровые РПрУ, в которых на цифровых интегральных микросхемах реализованы отдельные узлы: часть информационного тракта (демодулятор, фильтр, следящие системы, схемы поиска сигнала и т.п.), автоматическая регулировка усиления (АРУ), синтезатор частоты, устройство управления и отображения и т.д. [2].

Ко второму виду относят цифровые РПрУ, обобщенная структурная схема которых изображена на рис. 1.1. Линейный тракт приемника (ЛТП) в составе входной цепи (ВЦ), усилителя радиочастоты (УРЧ), преобразователя частоты (ПЧ), усилителя промежуточной частоты (УПЧ), блока формирования квадратурных составляющих (БФКС), производит предварительную частотную фильтрацию сигналов, усиление и смещение по частоте. Далее сигналы поступают на АЦП, преобразующие аналоговый сигнал в цифровой код, который поступает в цифровой процессор. Цифровой процессор (ЦП) осуществляет окончательную обработку сигнала – дополнительные преобразования по частоте в случае необходимости, узкополосную фильтрацию, спектральный анализ, поиск сигнала, демодуляцию по заданному алгоритму и т.д. После ЦП может стоять цифро-аналоговый преобразователь (ЦАП), если в результате обработки информации необходимо ее представление в аналоговой форме.

В том случае, когда быстродействие используемой в ЦП элементной базы намного превышает полосу обрабатываемых частот, целесообразно организовать вычислительный процесс на основе режима временного уплотнения для обработки нескольких сигналов, которые подключаются к нему по очереди, один раз за период частоты дискретизации.

В том случае, когда полоса частот обрабатываемой информации превышает быстродействие используемой элементной базы, организация вычислительного процесса должна осуществляться на основе алгоритмов распараллеливания обработки.

В общем случае цифровой процессор может выполняться по двум различным методам организации алгоритма. При аппаратной реализации последовательность обработки сигналов в ЦП определяется электрическими соединениями между отдельными узлами вычислителя. В этом случае каждый узел может быть выполнен либо для вычисления только одного функционального преобразования, либо осуществлена его настройка на выполнение требуемой операции. Такая реализация позволяет осуществлять распараллеливание обработки и достигать наибольшего быстродействия.

Другим возможным направлением реализации алгоритма обработки в ЦП является программная его реализация. При этом в качестве ЦП используется ЭВМ, которая в зависимости от объема вычислительной задачи и назначения прибора может быть общего назначения или специализированной, разработанной для решения конкретной задачи. В такой реализации ЦП

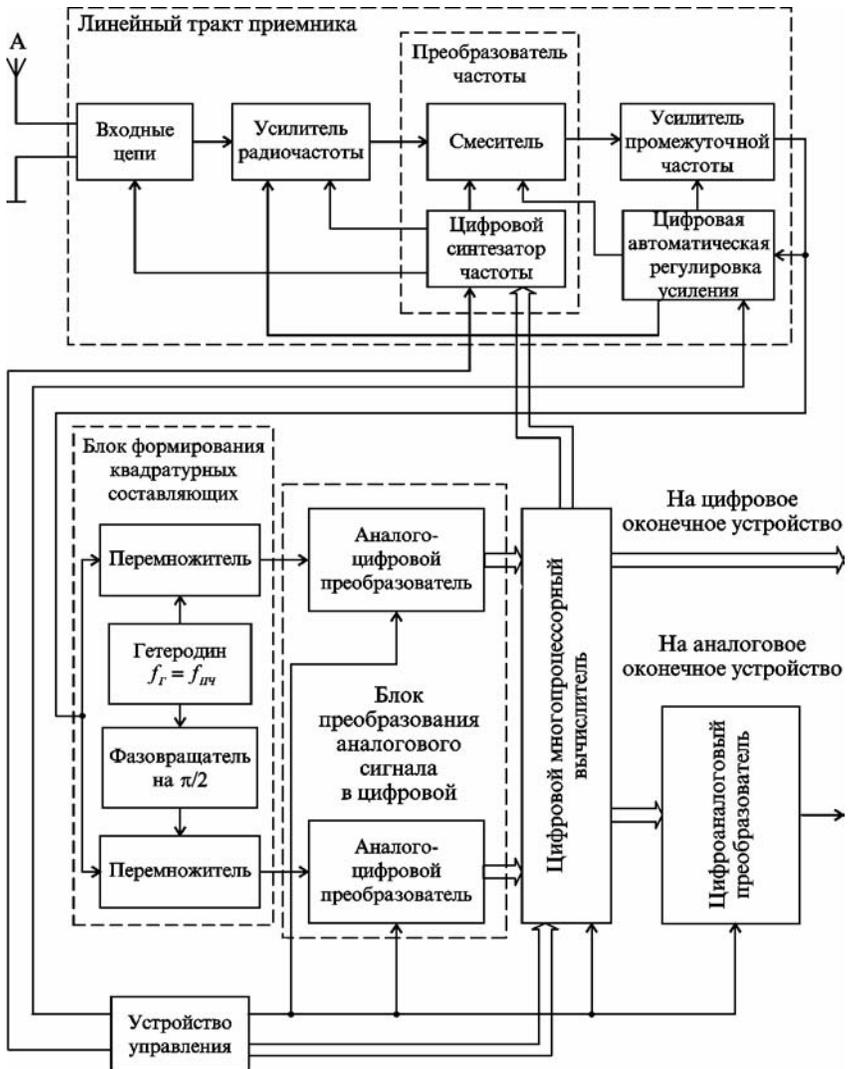


Рис. 1.1. Структурная схема радиоприемного устройства с цифровой многопроцессорной системой обработки радиосигналов

## 1. Основные сведения о современной цифровой элементной базе

достаточно просто осуществлять изменение алгоритма обработки, достигается простота компоновки с РПРУ, так как можно использовать либо готовую ЭВМ, либо серийный микропроцессорный комплект. Однако при этом основные трудности возникают при написании и отладке программы, что может достигать 70% трудоемкости изготовления прибора [3].

При программной реализации структурная схема цифрового процессора может быть представлена в виде, изображенном на рис. 1.2. Наличие единой цифровой магистрали (М) обмена позволяет существенно сократить число соединений между блоками, придать им регулярный характер и унифицировать их. Для увеличения быстродействия число магистралей обмена может быть выбрано равным 2-3. Магистральная организация позволяет легко наращивать аппаратуру при ее модернизации, производить диагностику при обработке или ремонте, замену блоков.

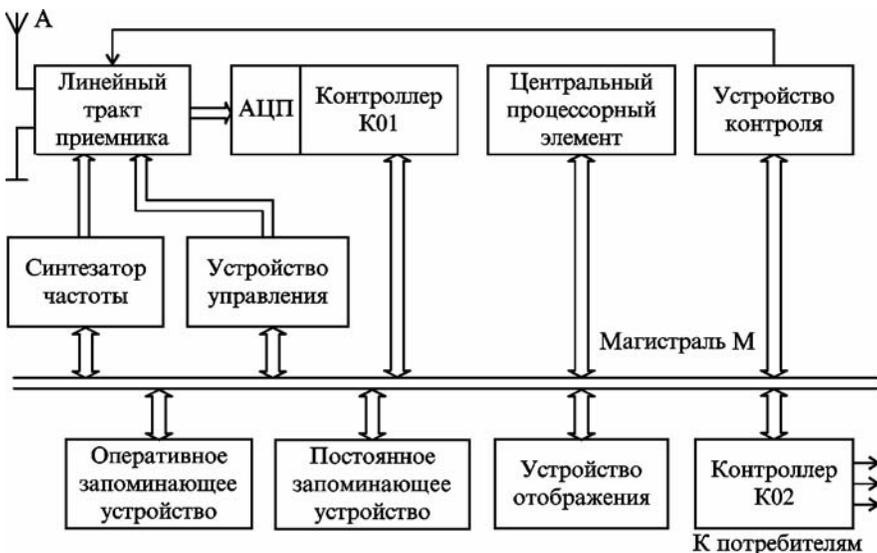


Рис. 1.2. Структурная схема цифрового процессора с программной реализацией

В состав цифрового РПРУ входят устройства: управления (УУ), отображения (УО), контроля (УК) для автоматической диагностики, контроллеры для связи линейного тракта РПРУ с магистралью (К01) и потребителями (К02).

Программная реализация алгоритма на основе универсальной ЭВМ часто требует больших затрат машинного времени, что может затруднить реализацию обработки сигнала в реальном масштабе времени. Это объясняется относительно малым быстродействием ЭВМ общего назначения при вы-

полнении специфических алгоритмов для обработки сигналов (преобразование Фурье, фильтрация и т.п.).

В этом случае применяется смешанная организация вычислительного процесса, когда операции, требующие больших затрат машинного времени, выполняются в виде отдельных, аппаратно реализованных цифровых узлов, либо отдельной ЭВМ, специально запрограммированной для решения данной задачи. Указанная реализация требует, чтобы быстродействие аппаратно реализованного цифрового вычислителя превышало на один-два порядка ширины полосы частот обрабатываемого сигнала.

### **1.3. Особенности построения многопроцессорных вычислительных систем**

Очевидно, что цифровая обработка наиболее эффективна при обработке сигналов, поступающих по «цифровым» каналам связи, которые состоят из обычного непрерывного (аналогового) канала связи (по проволоке или эфиру), к которому на входе (в передатчике) подключено устройство кодирования и формирования цифровых сигналов, модуляция ими несущей, а на выходе канала (в приемнике) – демодуляция и подача на решающее устройство. Последнее служит для опознавания переданных сигналов.

Применение сигналов известной формы, в которых цифровая информация заложена в изменении их параметров, позволяет реализовать цифровыми методами оптимальную обработку.

В свою очередь, создание микропроцессоров и на их основе многопроцессорных вычислительных систем позволяет на два-три порядка увеличить информационную производительность ЭВМ и существенно улучшить другие характеристики [4-6]. Переход от процедурного принципа программирования операций в ЭВМ к аппаратной их реализации за счет резкого повышения степени интеграции используемых микросхем, открыло новые возможности при синтезе структур современных микропроцессоров и архитектур МВС. Сверхбольшие интегральные схемы (СБИС) позволили решить задачу синтеза микропроцессоров с аппаратной реализацией микроопераций, создать мощные системы коммутации и осуществлять перестройку архитектуры многопроцессорных систем за счет программирования многочисленных каналов связи.

Многопроцессорные системы проектируются и реализуются на основе различных видов микропроцессоров. В настоящее время определились четыре вида микропроцессоров, используемых в указанных вычислительных системах [7]:

- микропроцессоры с последовательным потоком команд и последовательным потоком данных;
- микропроцессоры с параллельным потоком команд и последовательным потоком данных;

## 1. Основные сведения о современной цифровой элементной базе

- микропроцессоры с последовательным потоком команд и параллельным потоком данных;
- микропроцессоры с параллельным потоком команд и параллельным потоком данных.

Следует сказать, что многопроцессорная система является сложной системой, в которой свойства взаимосвязей превалируют над свойствами элементов. Последнее обстоятельство имеет особенно важное значение для случая, когда необходимо обеспечить гибкую перестройку архитектуры в случае, например, смены критерия эффективности в процессе функционирования РПрУ. Это позволяет обеспечить соответствие архитектуры МВС решаемой задаче, что открывает широкие возможности при построении адаптивных систем обработки информации без снижения производительности вычислителя.

К достоинствам организации центрального процессора на основе многопроцессорной системы можно также отнести простоту наращивания вычислительной мощности, более высокую надежность и живучесть за счет перераспределения вычислительного процесса при выходе из строя ее части между однородными микропроцессорами, что легко осуществляется при однородности архитектуры.

Однотипность микропроцессоров, в свою очередь, позволяет резко понизить стоимость элементов, из которых состоит многопроцессорная система. Как правило в состав микропроцессоров входят элементы локальной памяти и секторы коммутационной структуры.

Анализ принципов построения многопроцессорных вычислительных системы с программируемой архитектурой (МВС ПА) показывает, что минимальные затраты оборудования с одновременным обеспечением практически максимального быстродействия и возможностями изменять длину разрядной сетки, достигается при организации обработки информации в последовательных кодах. Такая обработка оказывается более быстрой и простой, если организовать передачу информации побитно от процессора к процессору старшими разрядами вперед. Последнее обстоятельство позволяет начинать обработку информации в следующем процессоре, не дожидаясь окончания ее обработки в предыдущем. А это значительно сокращает время на передачу всего потока информации и на его обработку.

МВС ПА позволяют применить программирование, основанное на настройке микропроцессоров на заданную макрооперацию из заданного их набора. Под макрооперацией понимается машинный язык, максимально приближенный по своей структуре к внешним языкам высокого уровня и даже совпадающий с ним [4].

В МВС ПА достаточно легко может быть реализован алгоритм двухуровневого программирования, заключающийся в том, что программируется од-

новременно структура процессора и программируется архитектура многопроцессорной системы на реализацию той или иной задачи.

В этом случае программирование становится более адекватным решаемой задаче, простым и наглядным, достаточно просто реализуется распараллеливание ресурсов многопроцессорного вычислителя при подключении его к большому числу внешних потребителей.

В свою очередь, успехи микроэлектроники в создании СБИС привели к появлению систолических многопроцессорных вычислительных систем, архитектура которых жестко задана [5, 6].

Известны следующие виды архитектур систолических многопроцессорных вычислительных систем: магистральный (рис. 1.3), матричный (рис. 1.4), иерархический (рис. 1.5), а также их разновидности – векторные, конвейерные, звездные, кольцевые и т.д.

К недостаткам подобных систем следует отнести то, что они имеют «жесткие» каналы связи, что требует организации обмена информации между микропроцессорами (МП) во времени и, как следствие, приводит к снижению скорости ее обработки.

Более адекватного отражения решаемой задачи в многопроцессорной системе можно добиться, если использовать МВС ПА, архитектура которой имеет вид, изображенный на рис. 1.6.

Как видно, она состоит из набора параллельно работающих однотипных микропроцессоров (МП), распределенной памяти в виде запоминающего устройства (ЗУ) и однородной коммутационной структуры (КС). Микропроцессоры выполняют крупные операции и могут перестраиваться с одной крупной операции на другую путем программирования их структуры. Наличие индивидуальной памяти позволяет каждому микропроцессору производить прямой быстрый обмен информацией с собственной индивидуальной памятью. Универсальная коммутационная структура позволяет программным путем образовывать любые необходимые каналы связи для обмена информацией внутри системы. Образованные каналы связи работают параллельно и не оказывают влияния друг на друга.

Последнее обстоятельство позволяет достаточно просто производить распараллеливание входного процесса, параллельную его обработку, что позволяет обеспечить режим работы вычислителя в реальном масштабе времени. Кроме того, высокая технологичность выполнения указанных узлов на сверхбольших интегральных микросхемах, высокая надежность за счет взаимозаменяемости отдельных блоков, возможность неограниченного наращивания мощности вычислительной системы, достаточно просто реализуются за счет рассмотренной архитектуры.

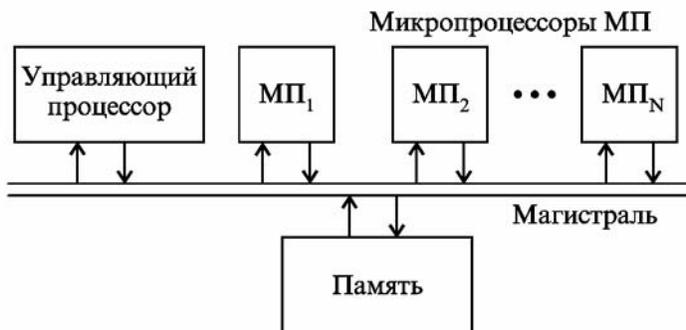


Рис. 1.3. Магистральная архитектура многопроцессорной вычислительной системы

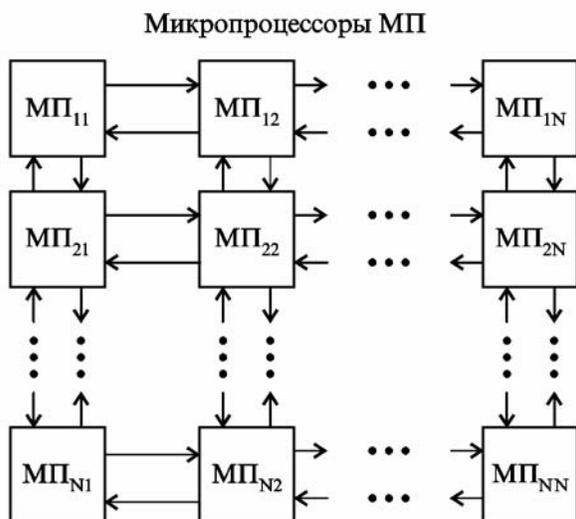


Рис. 1.4. Матричная архитектура многопроцессорной вычислительной системы

Рассмотрим кратко требования, которые предъявляются к микропроцессорам, входящим в состав МВС ПА. Очевидно, что микропроцессоры, наиболее отвечающие требованиям вычислительных систем с гибкой архитектурой, должны работать на основе набора крупных операций и программируемой структурой. Это связано с тем, что применение в рассматриваемой архитектуре обычных, «универсальных» микропроцессоров приводит к серьезным трудностям при согласовании работы микропроцессоров между

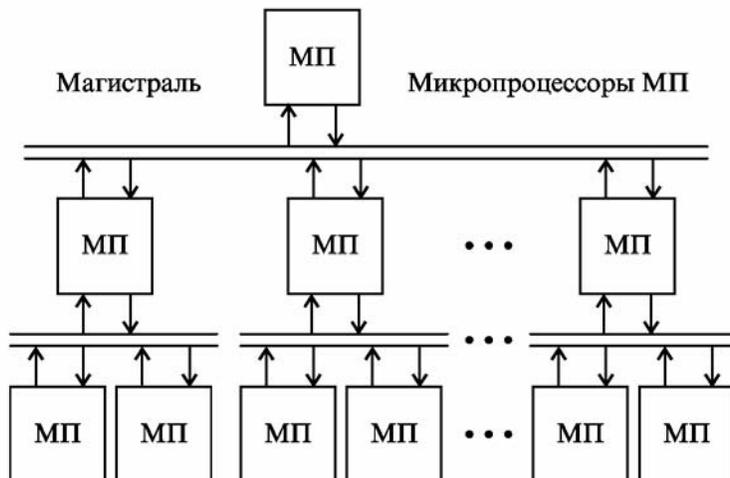


Рис. 1.5. Иерархическая архитектура многопроцессорной вычислительной системы

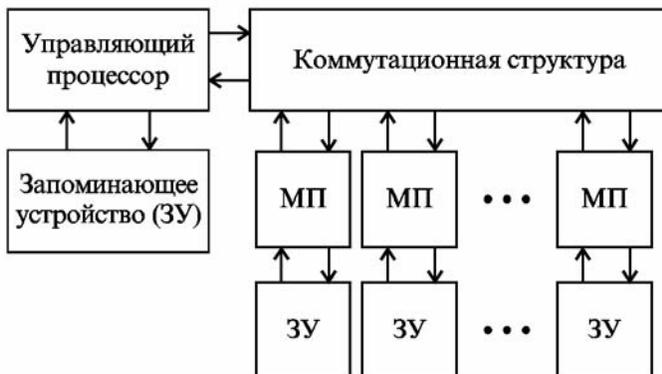


Рис. 1.6. Многопроцессорная вычислительная система с программируемой архитектурой

собой, при распараллеливании обработки, при трансляции программ с языка высокого уровня на машинный язык процессоров.

Применение микропроцессоров с программируемой структурой позволяет избежать указанных трудностей. Эти процессоры работают на основе крупных операций с языками высокого уровня. При этом в вычислительной системе программируется не процедура вычислений, а структура, входящая

в виде составных частей в набор крупных операций микропроцессора. Программирование структуры микропроцессора на выполнение крупной операции осуществляется перестройкой внутренних каналов связи микропроцессора, для чего используется внутренняя коммутационная структура. Программа перестройки его структуры в процессе функционирования может храниться в локальной памяти микропроцессора, что позволяет осуществлять его настройку подачей соответствующего кода операции.

Указанные принципиальные отличия микропроцессора, предназначенного для ЦОС в МВС ПА, в сотни раз увеличивают скорость обработки информации по сравнению с системами на основе «универсальных» микропроцессоров, делают простой задачу программирования и распараллеливания.

Таким образом, решение любой задачи обработки сигналов в рассматриваемой системе распадается на два этапа:

- этап распределения крупных операций между процессорами и в настройке микропроцессоров на эти операции;
- этап, заключающийся в соответствующей настройке каналов связи между микропроцессорами и памятью.

Отметим, что перестройка система как структурно, так и по выполняемым операциям может осуществляться не только при подготовке системы к решению задачи, но и под влиянием информации, поступающей извне и прошедшей этап обработки в системе.

Из краткого рассмотрения видов реализации центральных процессоров можно сделать вывод о том, что МВС ПА наиболее полно отвечают требованиям, предъявляемым к системам, способным осуществлять автоматическое проектирование требуемой структуры и заданных характеристик.

### **1.4. Цифровые сигнальные процессоры**

Рассмотрим виды микропроцессоров выпускаемых серийно, которые могут быть использованы как самостоятельно для решения задач ЦОС, так и в составе МВС рассмотренных видов.

1.4.1. В настоящее время широкое распространение для решения задач различного назначения получили персональные ЦВМ, выпускаемые большим числом производителей. Возможности, представляемые этими машинами, в сочетании с широко развитым программным обеспечением, позволяют уже сегодня обрабатывать процессы, частотные полосы которых лежат в пределах диапазона звуковых частот и динамический диапазон которых достигает десятков децибел. В то же время для решения задач обработки сложных сигналов в системах радиосвязи, радионавигации, телевидения в реальном масштабе времени получили широкое распространение цифровые сигнальные процессоры, выполненные по технологии СБИС и получившие название «микропроцессоры для ЦОС».

Основным отличием современных микропроцессоров, предназначенных для ЦОС, от микропроцессоров обычного применения типа Intel 8080, М6800, К580, К589 и ряда других является [8]:

- использование гарвардской архитектуры, т.е. раздельное хранение программ и данных в двух раздельных запоминающих устройствах, что позволяет совмещать во времени выборку и исполнение команд;
- сокращение длительности командного цикла за счет повышения частоты синхронизации, что связано с использованием более высоких полупроводниковых технологий;
- применение конвейеризации для сокращения длительности командного цикла, что позволяет одновременно обрабатывать две, три инструкции;
- применение аппаратного умножителя, что позволяет сократить время выполнения основной операции ЦОС – умножения, и которая реализуется за один командный цикл;
- включение в систему команд специализированных команд ЦОС, таких как умножение с накоплением, битовые операции (для графики), инверсия бит адреса для алгоритмов, основанных на вычислении быстрого преобразования Фурье (БПФ), кольцевые буфера для реализации цифровых фильтров, логические операции и другое.

В последнее время появились микропроцессоры для ЦОС с супергарвардской архитектурой. В них, помимо хранения программ и данных в двух раздельных запоминающих устройствах, предусмотрены раздельные шины ввода и вывода информации.

1.4.2. Условно, сигнальные процессоры и микропроцессорные комплекты, предназначенные для ЦОС, могут быть разделены на ряд поколений. Процессоры первого поколения появились в начале 80-х годов и исторически первым был микропроцессор японской корпорации NEC MPD7720.

Среди отечественных микропроцессоров и микропроцессорных комплектов, которые можно отнести к первому поколению, наиболее известными являются серии К1815, 4К601ВЖЗ, К1518ВЖ1, КМ1813ВЕ1, К1802 [9-11].

1.4.2.1. Разработанный микропроцессор К1815 ВФЗ из серии К1815 предназначен для построения процессоров БПФ и различного рода цифровых фильтров, которые могут быть выполнены в виде многопроцессорной вычислительной системы [9].

Структурная схема микропроцессора изображена на рис. 1.7. Микропроцессор состоит из трех основных блоков:

- блока суммирования БСм;
- блока умножения БУм;
- блока управления операциями БУОп.

В свою очередь, каждый из этих блоков состоит из отдельных узлов. Блок БСм состоит из сумматора См1, узла логических операций ЛО и управляемого блока задержки или масштабирования D. Блок БУм включает

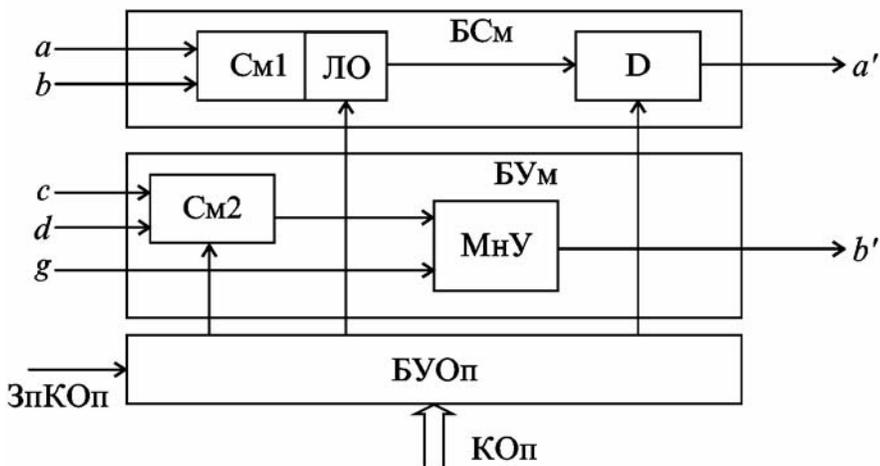


Рис. 1.7. Структурная схема микропроцессора К1815 ВФ3

в себя сумматор СМ2 и множительное устройство МНУ. Блок БУОп представляет собой регистр кода операций с дешифратором.

Микропроцессор К1815 ВФ3 имеет 5 информационных входов ( $a$ ,  $b$ ,  $c$ ,  $d$ ,  $g$ ), на которые подаются соответствующие коды чисел, два информационных выхода ( $a'$ ,  $b'$ ), с которых снимаются результаты выполнения соответствующих операций, и два управляющих входа – КОп и ЗпКОп, на первый из которых подается соответствующий код операции, а на второй – строб записи кода операции. Микропроцессор К1815 ВФ3 настраивается на выполнение заданного вида операций путем подачи соответствующего кода по шинам КОп, число которых равно шести, с помощью стога ЗпКОп.

С целью сокращения затрат оборудования, удобства коммутации микропроцессоров в многопроцессорной системе в К1815 ВФ3 принята знакоразрядная система счисления последовательным кодом цифра за цифрой, начиная со старших разрядов, с фиксированной запятой.

Сумматор СМ1 блока суммирования помимо операций « $a \pm b$ » выполняет также операция взятия модуля « $|a \pm b|$ » и выделения максимального числа из двух кодов « $a$ » и « $b$ », т.е. « $\max(a, b)$ ». Имеющийся управляемый блок задержки или масштабирования D пропускает информацию на выход либо без задержки, либо с задержкой D или 2D тактов ( $D=6$  тактам). Блок БСМ1 выдает информацию с задержкой D тактов. Блок БСМ2 выполняет операции « $c \pm d$ », а множительное устройство МНУ осуществляет операцию « $g(c \pm d)$ ». Результат начинает выдаваться с задержкой 2D тактов по отношению ко входной информации.

Операция «Сброс» приводит микропроцессор за 18 тактов в нулевое состояние.

Краткая характеристика микропроцессора К1815 ВФЗ:

- представление информации в виде последовательных кодов цифра за цифрой, начиная со старших разрядов в двоичной знакоразрядной системе счисления с фиксированной запятой;
- представление программной информации (КОп) в параллельном шестиразрядном коде;
- точность выполнения операций – 24 разряда;
- тактовая частота – 10 МГц;
- время выполнения операций над 24-разрядными числами – 2,5 мсек.;
- производительность – 1,2 млн. арифметических операций в сек.;
- уровни напряжений согласованы с ТТЛ;
- ток питания 300 мА;
- корпус имеет 24 вывода.

Микропроцессор К1815 ВФЗ может оперировать с числами заранее заданной произвольной разрядности в двоичной знакоразрядной системе счисления, которые в виде кодов поступают старшими разрядами вперед в микропроцессор и в таком же порядке появляются на его выходе.

Каждый информационный вход и выход микропроцессора состоит из двух шин – положительной  $x^+$  и отрицательной  $x^-$ , причем число  $x \in \{a, b, c, d, g, a', b'\}$ . Положительная часть числа передается по положительной шине, отрицательная часть числа – по отрицательной, запятая передается по двум шинам одновременно. Запятая в микропроцессоре выполняет роль маркера, по которому осуществляется начальная установка и запускаются выполняемые операции.

Микросхемы типа К1815 ВФЗ используются в МВС ПА как арифметикологическое устройство (АЛУ) совместно с ортогональной регистровой памятью (ОРП) на микросхеме К1517ИР1 и коммутатором на микросхеме КМ1509КП1. Развитием этих микросхем является серия 1582 (1582 ВЖЗ-0034 – микропроцессор, 1582 ВЖЗ-0032 – ОРП, 1029 КП2 – коммутатор).

Недостатком рассматриваемых комплектов является относительно низкая степень их интеграции.

1.4.2.2. Удачное техническое решение американской фирмы Texas Instruments (ТИ) в 1982 году по созданию микропроцессора для ЦОС TMS32010 сделало его промышленным стандартом де-факто среди микропроцессоров первого поколения.

Основные характеристики TMS32010 следующие:

- производительность до 5 млн. операций умножения или сложения в секунду над 16-разрядными словами с фиксированной запятой;
- командный цикл длительностью 160-280 нс;
- ОЗУ объемом 144 или 256 слов;

- ПЗУ программ объемом 1,5К или 4К слов;
- внешняя память до 4 Кбайт слов;
- разрядность арифметико-логического устройства (АЛУ) и аккумулятора составляет 32 бит;
- умножитель 16×16 бит с 32-разрядным результатом;
- восемь 16-разрядных портов для устройств ввода-вывода;
- 16-разрядная внешняя шина имеет пропускную способность 50 Мбит/с.

1.4.3. К середине 80-х годов прошлого столетия появились сигнальные процессоры второго поколения. Повышение степени интеграции микросхем позволило увеличить количество функций, выполняемых процессорами ЦОС, увеличить скорость обработки данных и скорость выполнения команд. К этому поколению относят микропроцессоры TMS32020, TMS320C25 и их модификации фирмы TI. Процессор TMS320C25 может выполнять 25 млн. операций в секунду. Объем встроенного ОЗУ составляет 544 16-разрядных слов. Предусмотрена возможность подключения внешней памяти программ и внешней памяти данных объемом до 128К слов. Команды умножения, сложения, сдвига данных выполняются за один командный цикл, равный 100 нс. Отметим, что процессоры второго поколения имеют в 2-4 раза большее быстродействие по сравнению с процессорами первого поколения.

Характеристики TMS320C50 несколько отличаются от TMS320C25 в сторону уменьшения энергопотребления, увеличения объемов памяти данных и команд до 64К, имеет 64К у портов ввода/вывода, объем глобальной памяти – 32К. Имеются дополнительные возможности для организации мультипроцессорных систем.

Процессоры фирмы Motorola типа DSP56000 и DSP56001 также могут быть отнесены к сигнальным процессорам второго поколения, поскольку имеют производительность 10,25 млн. операций в секунду. Разрядность шины данных 24 разряда. Аккумуляторы имеют 56 разрядов, что позволяет проводить точные промежуточные вычисления. Указанные процессоры имеют гарвардскую архитектуру, имеют два оперативных запоминающих устройства (ОЗУ) и две шины данных X и Y, что позволяет достаточно легко организовать обработку комплексных чисел. Фирма Motorola также выпускает DCP56100, очень похожий на DSP56000, но только с одной шиной данных. Она также выпускает DSP56156 со встроенными ЦАП и АЦП.

Фирма AT&T Microelectronics выпускает микропроцессор DSP16A. Он имеет 55 нс командный цикл, при этом его производительность 3,18 млн. операций в секунду. Имеет внутреннее ПЗУ объемом 8К слов и внутреннее ОЗУ объемом 4К слов. Предусмотрена возможность подключения внешней памяти объемом 128К слов. Имеющийся последовательный порт позволяет производить передачу данных со скоростью 15 Мбит/с, а параллельный порт – до 30 Мбайт/с.

Фирма Analog Devices выпустила семейство микропроцессоров ЦОС ADSP21xx, характеристики которых совпадают, а некоторые и превосходят DSP56000 и TMS320C50 и при этом ниже их в цене.

В частности, однокристалльный прибор ADSP-21msp50/55 позволяет обрабатывать аналоговые сигналы, подаваемые на вход, поскольку имеет АЦП и ЦАП, а также содержит процессор, позволяющий организовать цифровую обработку сигналов.

В конце 1993 года появились процессоры ADSP2171 и ADSP2181. Процессор ADSP2171 содержит 2К 24 ОЗУ программ, 8К 24 ПЗУ программ и 2К 16 ОЗУ данных. Командный цикл 30 нс.

ADSP2181 с 30 нс тактом имеет дополнительно 80К памяти, сконфигурованных как 16К слов программ и 16К данных, 16-разрядный высокоскоростной порт между внешней и внутренней памятью, восьмиразрядный порт для пересылок между памятью программ и памятью данных.

1.4.4. Третье поколение процессоров для ЦОС появилось в конце 80-х годов в связи с освоением субмикронной технологии, соответственно TMS320C30 фирмы TI, DSP96002 фирмы Motorola и DSP32C фирмы AT&T. Процессор TMS320C30 фирмы TI имеет производительность 33 млн. операций в секунду при обработке слов с плавающей запятой, которая обеспечивается благодаря параллельному выполнению команд и выборки данных, а также позволяет одновременно производить операции ввода/вывода. Подобная архитектура микропроцессоров носит название, как указывалось, супергарвардской архитектуры.

Основные характеристики TMS320C30:

- все команды выполняются за один цикл длительностью 60 нсек;
- два блока ОЗУ по 1К 32-разрядных слов с возможностью одновременного доступа;
- кэш-память команд объемом 64 32-разрядных слова;
- 32-разрядный умножитель с плавающей запятой;
- 40-разрядное АЛУ работает с целыми и с числами с плавающей запятой;
- восемь регистров для операций с повышенной точностью;
- два адресных генератора и группа вспомогательных регистров, реализующих разнообразные методы адресации;
- имеется контроллер для распараллеливания операций ввода/вывода и обработки информации;
- используется 32-разрядная шина команд и данных и 24-разрядная шина адреса.

Процессор DSP96002 фирмы Motorola разработан с учетом возможностей работы в мультипроцессорной конфигурации при прямом соединении их между собой. Используются 32-разрядные шины адреса и данных, шинный арбитр, а также предусмотрен режим быстрого доступа к динамическому или видео-ОЗУ. Усредненная производительность процессора со-

ставляет 18 млн. операций в секунду, пиковая производительность – 40 млн. операций в секунду с плавающей запятой.

Процессор DSP32C фирмы AT&T Microelectronics при тактовой частоте 50 МГц выполняет 12,5 млн. операций в секунду над 24-разрядными целочисленными числами и 25 млн. операций в секунду над операндами с плавающей запятой. Объем встроенного ОЗУ составляет 1,5К, ПЗУ составляет 2К 32-разрядных слов.

Микропроцессор ADSP-21020 – первый представитель 32/40-разрядных цифровых процессоров обработки сигналов (ЦПОС) с плавающей запятой семейства 21xxx фирмы Analog Devices. Архитектура процессора в общих чертах повторяет архитектуру операционного ядра прибора ADSP-2100. Однако при этом значительно увеличена разрядность шин данных и адреса, а внутренняя организация арифметических блоков, ориентированных на выполнение операций как с фиксированной, так и с плавающей запятой, имеет существенные изменения. Для уменьшения числа обменов с внешней памятью программ и внешней памятью данных в кристалл введены кэш-память (32×48) и регистровый блок (16×40). Процессор ADSP-21020 работает на тактовой частоте 33,3МГц и исполняет одноцикловые команды за 30 нс, достигая производительности 60 млн. операций в секунду при выполнении операций с плавающей точкой. Арифметические блоки используют 32-разрядное представление данных с расширением до 40 двоичных разрядов при выполнении операций с плавающей точкой, и поддерживают обработку с фиксированной точкой 32-разрядных операндов и сдвоенным 80-разрядным аккумулятором.

Процессор ADSP-21010 – дешевый функциональный аналог прибора ADSP-21020, работающий с тактовой частотой 12,5 МГц и только с 32-разрядными операндами.

Микропроцессор TMS320C40, выпускаемый TI, является дальнейшим развитием серии микропроцессоров ЦОС, выпускаемых этой фирмой и имеет следующие основные характеристики:

- шесть высокоскоростных коммуникационных портов со скоростью передачи 20 Мбит в секунду, прямое подсоединение процессор-процессор без использования дополнительной логики и задержек, двунаправленная передача;

- шесть каналов прямого доступа к памяти (ПДП);
- пиковая производительность до 175 млн. операций в секунду;
- возможность выполнения одновременно за один такт 11 команд;
- время такта 40 нс;
- плавающая арифметика;
- аппаратная реализация операций деления и вычитания, корня квадратного, а также ряд дополнительных возможностей.

Новая разработка фирмы Analog Devices – сигнальный микропроцессор ADSP-21060 который имеет следующие характеристики:

- производительность 40 млн. операций в секунду (20 нс на такт);
- 4 Мбита памяти на кристалле, конфигурируемые как 128К;
- 32-разрядных слов ОЗУ данных и 80К 48-разрядных слов ОЗУ программ;
- два независимых генератора адресов для двух независимых шин данных;
- 32-разрядные операнды с плавающей запятой;
- 10 каналов прямого доступа в память, обеспечивающих связь между

внутренней и внешней памятью.

1.4.5. К процессорам четвертого поколения можно отнести прибор, выпущенный в 1994 году фирмой TI под названием Multimedia Video Processor (MVP) и который также имеет название TMS320C80 [8]. Этот процессор имеет производительность 2 млрд. операций в секунду, что более чем в 10 раз превышает пиковую производительность сигнальных процессоров третьего поколения.

Процессор TMS320C80 имеет следующие основные характеристики:

- производительность 2 млрд. операций в секунду;
- четыре 32-разрядных процессора, оперирующих операндами с фиксированной точкой;
- один управляющий RISC-процессор с блоком арифметики, имеющим плавающую точку;
- внутреннее статическое ОЗУ объемом 50 Кбайт;
- быстрая внешняя шина (пропускная способность 400 Мбайт/с);
- встроенные средства тестирования;
- два программируемых видеоконтроллера;
- 64-разрядное машинное слово;
- два блока генерации адресов;
- интерфейс со всеми видами памяти (динамической, статической, двух портовой);
- линейная и двухкоординатная адресация;
- аппаратная поддержка графических операций и битовых полей;
- средства аппаратной поддержки трехуровневых циклов;
- 44 доступных пользователю регистра.

Как видно, TMS320C80 является микропроцессорным прибором, предназначенным для ЦОС, и может являться составной частью МВС ПА. Очевидно, что указанный микропроцессор, являясь элементарной многопроцессорной системой, позволяет реализовать алгоритмы распараллеленной обработки.

Следует также отметить, что в работе [12] рассмотрена подобная конфигурация вычислителя, названного модульным процессорным элементом (МПЭ) и рассмотрены возможности его использования в МВС ПА.

TMS320C80 представляет собой комбинацию из пяти процессоров (четыре сигнальных и одного управляющего), двух видеоконтроллеров и кон-

## ОГЛАВЛЕНИЕ

Введение.....	3
1. Основные сведения о современной цифровой элементной базе.....	6
1.1. Вводные замечания.....	6
1.2. Виды радиоприемных устройств с цифровой обработкой сигналов.....	7
1.3. Особенности построения многопроцессорных вычислительных систем.....	10
1.4. Цифровые сигнальные процессоры.....	15
1.5. Выводы.....	24
2. Преобразование радиосигналов в цифровую форму.....	26
2.1. Вводные замечания.....	26
2.2. Математическое описание радиосигнала.....	27
2.3. Формирователи квадратур.....	35
2.4. Аналого-цифровое преобразование радиосигналов.....	47
2.5. Выводы.....	57
3. Математический аппарат линейных цифровых систем и сигналов.....	58
3.1. Вводные замечания.....	58
3.2. Метод Z-преобразования.....	59
3.3. Связь Z-преобразования с преобразованием Лапласа.....	62
3.4. Конечные разности.....	72
3.5. Дискретные экспоненциальные функции.....	74
3.6. Дискретное преобразование Фурье.....	78
3.7. Выводы.....	85
4. Линейные цифровые элементарные ячейки.....	87
4.1. Вводные замечания.....	87
4.2. Линейные цифровые системы.....	88
4.3. Цифровые комплексные ячейки.....	94
4.4. Функциональные схемы цифровых комплексных ячеек.....	107
4.5. Цифровые биквадратные ячейки.....	112

4.6. Связь частоты дискретизации со свойствами сигналов и видами цифровых линейных систем .....	122
4.7. Выводы.....	126
5. Распараллеливание обработки на элементарных ячейках .....	128
5.1. Вводные замечания.....	128
5.2. Распараллеливание входных данных .....	129
5.3. Метод распараллеливания рекурсии для режима работы «скользящее» окно.....	132
5.4. Метод распараллеливания КИХ-ячейки для режима работы «скользящее» окно .....	136
5.5. Метод распараллеливания тангенсной ЦКЯ для режима работы «скользящее» окно .....	139
5.6. Выводы.....	144
6. Цифровые многопроцессорные фильтры с бесконечными импульсными характеристиками.....	146
6.1. Вводные замечания.....	146
6.2. Методы расчета цифровых многопроцессорных фильтров с бесконечными импульсными характеристиками .....	147
6.3. Расчет параметров тангенсных цифровых многопроцессорных фильтров .....	166
6.4. Расчет параметров синусных ЦМФ.....	171
6.5. Расчет параметров квазитангенсных ЦМФ .....	176
6.6. Выводы.....	182
7. Цифровые многопроцессорные фильтры с конечными импульсными характеристиками .....	183
7.1. Вводные замечания.....	183
7.2. Метод ряда Фурье .....	184
7.3. Весовая обработка данных .....	187
7.4. Метод модифицированного ряда Фурье .....	193
7.5. Методы расчета, основанные на минимизации величины отклонения полученной АЧХ от заданной .....	196
7.6. Преобразователь Гильберта .....	199
7.7. Сравнительный анализ КИХ и БИХ фильтров.....	203
7.8. Выводы.....	204
8. Цифровые многопроцессорные адаптивные фильтры.....	205
8.1. Вводные замечания.....	205
8.2. Основные принципы построения цифровых многопроцессорных адаптивных фильтров.....	206
8.3. Адаптивный алгоритм на основе оценивания входного сигнала.....	208
8.4. Адаптивный алгоритм коррекции весовых коэффициентов фильтра.....	212

8.5. Выводы.....	214
9. Цифровые многопроцессорные неминимально-фазовые системы .....	215
9.1. Вводные замечания .....	215
9.2. Цифровые многопроцессорные неминимально-фазовые ячейки .....	216
9.3. Цифровые многопроцессорные неминимально-фазовые фильтры .....	219
9.4. Оптимизация структур всепропускающих ячеек и фильтров .....	225
9.5. Выводы.....	228
10. Цифровые многопроцессорные анализаторы спектра .....	229
10.1. Вводные замечания .....	229
10.2. Цифровые многопроцессорные параллельные анализаторы спектра .....	230
10.3. Цифровой последовательный анализатор спектра.....	238
10.4. Цифровые анализаторы спектра на основе быстрых алгоритмов расчета коэффициентов ДПФ .....	243
10.5. Граница применимости прямых и быстрых алгоритмов расчета ДПФ.....	255
10.6. Цифровой спектральный анализ с использованием параметрических моделей .....	258
10.7. Методы оценивания параметров моделей.....	265
10.8. Погрешности вычислений .....	271
10.9. Выводы.....	275
11. Вычисление амплитуды комплексной огибающей сигнала .....	277
11.1. Вводные замечания .....	277
11.2. Обобщенный алгоритм модульного метода вычисления амплитуды.....	278
11.3. Особенности реализации модульного метода вычисления амплитуды.....	282
11.4. Расчет параметров устройства вычисления амплитуды .....	284
11.5. Выводы.....	289
12. Гомоморфная обработка сигналов .....	290
12.1. Вводные замечания .....	290
12.2. Обобщенная суперпозиция.....	290
12.3. Мультипликативные гомоморфные системы .....	292
12.4. Гомоморфные системы относительно свертки.....	294
12.5. Понятие о кепстре сигнала .....	295
12.6. Выводы.....	297
13. Обработка бинарно-квантованных сигналов .....	299
13.1. Вводные замечания .....	299
13.2. Метод определения параметров процессов, подвергшихся бинарному квантованию.....	300

13.3. Метод измерения фазы бинарно-квантованных сигналов (случай $\psi(t) = \mu_0 = \varphi$ ) .....	303
13.4. Особенности измерения частоты монохроматического сигнала (случай $\psi(t) = \mu_1 t = \omega t$ ) .....	312
13.5. Измерение частоты узкополосного сигнала цифровыми частотными дискриминаторами .....	314
13.6. Адаптивный цифровой частотный дискриминатор .....	326
13.7. Упрощенный алгоритм непосредственного измерения частот модуляции радиосигнала (случай $\psi(t) = \mu_1 t + 0,5\mu_2 t^2$ ) .....	333
13.8. Выводы.....	336
14. Цифровая автоматическая регулировка усиления.....	338
14.1. Вводные замечания .....	338
14.2. Цифровая АРУ с управлением по постоянной составляющей .....	339
14.3. Цифровая АРУ с управлением по переменной составляющей .....	342
14.4. Статистические характеристики ЦАРУ с управлением по переменной составляющей .....	346
14.5. Сравнительный анализ характеристик ЦАРУ и аналоговой АРУ .....	351
14.6. Выводы.....	353
15. Цифровая обработка двумерных сигналов .....	354
15.1. Вводные замечания .....	354
15.2. Двумерная теорема дискретизации и основные определения.....	355
15.3. Некоторые особые последовательности .....	356
15.4. Основные виды двумерных последовательностей.....	358
15.5. Двумерные линейные системы .....	361
15.6. Особенности синтеза разделимых двумерных многопроцессорных полосовых и режекторных фильтров.....	367
15.7. Двумерное дискретное преобразование Фурье .....	370
15.8. Цифровая обработка изображений в режиме работы «скользящее» окно .....	373
15.9. Выводы.....	385
16. Математическое описание и обработка ансамблей сигналов.....	387
16.1. Вводные замечания .....	387
16.2. Понятие об обобщенной функции неопределенности.....	388
16.3. Математическое описание ансамблей дискретных сигналов .....	389
16.4. Обработка ансамбля сложных фазоманипулированных сигналов без внутридискретной модуляции .....	398

16.5. Синтез и обработка ансамбля простых некогерентных импульсных сигналов.....	412
16.6. Выводы.....	420
17. Обработка фазоманипулированных сигналов на основе E-кодов.....	421
17.1. Вводные замечания.....	421
17.2. Формирование и модуляция сигналов E-кодами.....	422
17.3. Обработка сигналов модулированных E-кодами.....	426
17.4. Обработка фазоманипулированных на основе E-кодов сигналов в многоканальных системах радиосвязи.....	433
17.5. Выводы.....	437
18. Ансамбли кодовых последовательностей в асинхронной связи.....	440
18.1. Вводные замечания.....	440
18.2. Синтез ансамблей комплементарных кодовых последовательностей.....	441
18.3. Свойства и характеристики комплементарных кодовых последовательностей.....	447
18.4. Система асинхронной адресной связи.....	453
18.5. Синтез ансамблей временных комплементарных кодовых последовательностей.....	465
18.6. Выводы.....	474
19. Общие особенности многопроцессорной обработки радиосигналов.....	475
19.1. Вводные замечания.....	475
19.2. Анализ особенностей представления радиосигналов и алгоритмов их обработки на МВС.....	476
19.3. Обработка радиосигналов на МВС ПА.....	478
19.4. Многопроцессорные вычислительные структуры с программируемой архитектурой на основе систолических ячеек.....	484
19.5. Области применения многопроцессорных вычислительных систем.....	486
19.6. Выводы.....	490
20. Синтез и анализ ансамблей радиолокационных сигналов.....	492
20.1. Вводные замечания.....	492
20.2. Синтез и анализ ансамблей радиолокационных фазоманипулированных сигналов с внутريدискретной модуляцией.....	493
20.3. Обработка ансамблей радиолокационных фазоманипулированных сигналов на основе D-кодов.....	500
20.4. Влияние искажающих факторов на обработку ансамблей радиолокационных фазоманипулированных сигналов с внутريدискретной модуляцией.....	504

20.5. РЛС обнаружения, использующая ансамбли сложных сигналов .....	507
20.6. Выводы.....	516
21. Селекция сигналов движущихся целей при использовании ансамблей сложных сигналов .....	518
21.1. Вводные замечания.....	518
21.2. Алгоритм селекции сигналов движущихся целей при использовании ансамблей радиолокационных фазоманипулированных сигналов с внутридискретной модуляцией .....	519
21.3. РЛС с СДЦ, использующая ансамбли сложных сигналов .....	527
21.4. Виды и особенности внутридискретных модулирующих функций.....	532
21.5. Анализ особенностей формы режекторной амплитудно-частотной характеристики устройства селекции сигналов движущихся целей .....	546
21.6. Выводы.....	548
22. Статистическое моделирование радиолокационных систем.....	550
22.1. Вводные замечания.....	550
22.2. Статистические модели отраженных сигналов .....	551
22.3. Метод экстремальных статистик и генерирование «белого» шума на ЦВМ.....	559
22.4. Качественные показатели обнаружения когерентно-импульсной радиолокационной станции обзора земной поверхности.....	562
22.5. Качественные показатели обнаружения когерентно-импульсной радиолокационной станции селекции движущихся целей.....	565
22.6. Выводы.....	568
Заключение .....	569
Список литературы .....	570